

# 積層バリスタの高周波／高速信号対応と卑金属化

Multilayer Ceramic Chip Varistors for high speed / high frequency systems and co-firing with base metal as internal electrodes

古賀 英一 東 佳子  
Eiichi Koga Yoshiko Higashi

## 要 旨

半導体P/N界面の特性原理とパルス安定性の機構が多結晶体へ応用展開され、新種の特性発現物質SrCoO<sub>3</sub>を用いたZnOバリスタ材料が見出された。既往材料（BiやPr添加系）にない特有の特性と界面構造により、新しい2つのタイプの積層バリスタが開発された。放電機構内蔵型は、超低静電容量（0.1 pF、従来比1/10）ながら優れた静電気抑制効果（200 V at 8 kV: IEC 61000-4-2）を示す。また、卑金属を内部電極とした積層バリスタで初めて、優れた非線形特性と静電気耐久性が発現された。RFアンテナ直下や高速信号ラインへの用途拡大を始め、高価な希少資源抑制へ貢献できる。

## Abstract

A new type of ZnO varistor ceramics are found based on the characteristic mechanism including pulse stability of semiconductor P/N interfaces, comprising grain boundary composition (SrCoO<sub>3</sub>). Two new types of multilayer ceramic chip varistors (MLCVs) are developed, due to the unique characteristics and interfacial structure not found in conventional Bi/Pr-doped ones. Novel devices combining discharge cavity have an ultra-low capacitance (0.1 pF, 1/10 compared to the conventional) and large ESD suppression (200 V at 8 kV: IEC61000-4-2). Additionally, MLCVs with base metal as internal electrodes achieve excellent nonlinearity and ESD stability for the first time. They can contribute to applications to RF antennas/high-speed lines and the suppression of expensive scarce resources.

## 1. はじめに

身近に発生する雷や静電気（ESD: Electro-Static Discharge）などの異常電圧は、停電や装置へ甚大な影響を及ぼしうる。しかしながら、PCの誤動作や破壊によって肝を冷やすことは、近頃はほとんどない。機器が脆弱（ぜいじゃく）だったのは、既に昔のことと思っている方々が多いのではないだろうか。ところが、実態は全く逆である。現代社会は異常電圧等のノイズから障害を受けやすい状況になっている。たとえば人体などから発生するESDによって、微細化が進む最新のICほど容易に破壊されたり、誤動作を招く。今日、社会の信頼性はZnOバリスタというセラミックデバイスが異常電圧保護の一翼を担っている[1]。

このような背景で近年、特にESD対策の分野では、小型形状の積層チップバリスタが注目されてきた。当初は携帯電話等の人体と接触する小型モバイル機器で採用が始まり、GPS等のRFアンテナ用途へと広がった。インターフェースの主流となったUSB2.0（480 Mbps）、さらにデジタルテレビで採用が進んだHDMI<sup>(注1)</sup> 端子（当初750 Mbps）へも搭載され、各種の高速伝送LSIを保護している。最近では車載ネットワーク（Ethernet<sup>(注2)</sup>）の対策も不可欠であり、高周波／

高速信号対応は広範化しながら進展している[2]。また、積層バリスタの内部電極には希少資源である高価な貴金属（Pd, Pt, AgPd等）が用いられ、市況変動の影響のみならずICT社会の対策コストを含む信頼性の課題となっている[3]。

本稿では、まず、上述の背景のもと開発された、新種の特性発現物質SrCoO<sub>3</sub>を用いたZnOバリスタ材料を概説する。その展開例として、従来特性を一新する放電原理内蔵の超低容量化と、卑金属内部電極化に関する技術について述べる。これらは、高周波／高速信号ラインへの用途拡大を始め、高価な希少資源抑制へ貢献できる。

## 2. 要求される特性と課題

ESD対策に必要な基本特性は、保護性能と自身がESDで破壊されないこと（ESD耐性）である。ところが、最近の高周波回路や高速インターフェースでは信号品質に影響を与えない低静電容量がまず要求される。対向電極の重なり幅は、たとえば一般的な構成で約100 μmにまで低減されると、動作時の電流密度は10<sup>5</sup> A/cm<sup>2</sup>以上にも高まるため、保護効果やESD耐性は悪化してしまう[2]。このため、低静電容量と保護性能との両立は困難になり、従来の材料や設計手法では限界に直面していた[2]。

このような高周波／高速信号用途に対しては、材料の誘電分散から高周波回路の整合に至る異分野までを包含した対応が必要である。そこでまず、高周波回路上の静電容量

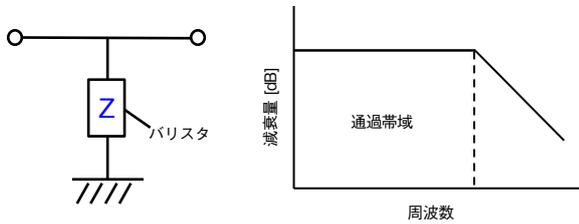
(注1) 米国およびその他の国におけるHDMI Licensing Administrator, Inc.の商標または登録商標。

(注2) 富士フイルムビジネスイノベーション株式会社の日本または他の国における商標。

の影響，そしてバリスタの比誘電率  $\epsilon_r$  の起源やその周波数に対する振る舞いを述べ，その上でバリスタの高周波対応課題と，最近の研究開発成果を概説する。

2.1 なぜ低静電容量が必要か

静電容量が及ぼす伝送特性への影響は，高周波フィルタの特性から理解できる[4]。バリスタの伝送ラインへの搭載は，第1図 (a) に示すようなGND (グラウンド) へ挿入するように接続する。この構成は最も単純な1段のローパスフィルタであり，通過帯域を越える周波数は減衰して伝送されない。



(a) バリスタの伝送ラインへの接続 (b) 伝送損失 ( $S_{21}$ ) の周波数特性

第1図 バリスタの伝送ラインへの接続と伝送損失の周波数特性  
Fig. 1 Varistor connected to transmission line and its frequency dependence

この帯域が静電容量で決まるわけである。たとえば Maximally Flat型について素子数1 (静電容量  $C$ ) のとき，回路網合成の理論から計算すると，通過帯域  $f$  とは (1) 式の関係で示される (e.g.,  $Z = 50 \Omega$ )。

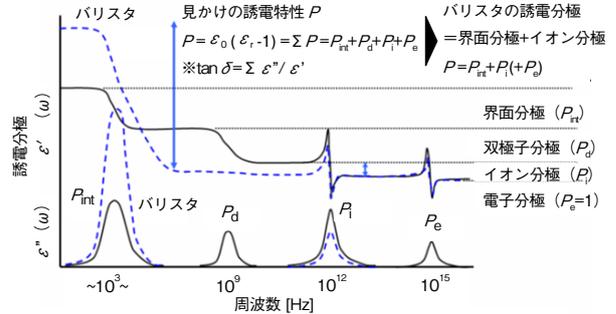
$$C = \frac{1}{\pi f Z} \dots \dots \dots (1)$$

この伝送損失 ( $S_{21}$ ) の周波数特性が第1図 (b) である。静電容量が小さいほど通過帯域は高周波側に広がり，より高周波信号が伝送可能となる。これが高周波用途で低静電容量が要求される理由である。一般に伝送速度の2.5~3倍の帯域が必要である。たとえば初期HDMI (1.5 Gbps) の場合，帯域約4.5 GHzに対し，搭載できる静電容量は1.4 pF以下と概算できる。そこで低容量化を目指し，材料や積層構造等，多くの開発がなされてきた。しかしながら，容量下限 ( $\approx 1$  pF) を打破する低  $\epsilon_r$  化は既往材料でなされていない。特性発現機構に基づく，著者らはバリスタ特性と静電容量 (i.e.,  $\epsilon_r$ ) は同じ界面障壁に起源をもつため， $\epsilon_r$  だけの個別制御は困難と考えるに至った[5]。この考察が新たな材料や新原理内蔵への転換の背景である。

2.2 バリスタの静電容量の成立ちと高周波対応の課題

既往のZnOバリスタはBiあるいはPr酸化物を添加した2材料系に大別される (以降，PrおよびBi系)。どちらの系も，ZnOの1 MHzの  $\epsilon_r$  が約8にもかわらず，数十~約千もの大

きな  $\epsilon_r$  を示す。約90%はZnOであるから体積分率に基づく混合則でこの  $\epsilon_r$  の増大を説明できない。バリスタ特性起源，すなわち粒界面部のSchottky障壁が  $\epsilon_r$  を大きくしている。



第2図 周波数と誘電分極との関係  
Fig. 2 Relation between frequency and dielectric polarization

第2図に周波数と誘電分極との関係を表す。分極機構には界面分極 ( $P_{int}$ )，双極子分極 ( $P_d$ )，イオン分極 ( $P_i$ ) および電子分極 ( $P_e$ ) がある[6]。周波数応答性は一般に分極サイズが大きいものほど応答性が悪く，分極機構毎に異なる周波数で誘電分散が発生する。バリスタは，ZnO粒子間の障壁構造から，界面分極 (粒界面の空乏層) とZnO結晶のイオン分極との包括特性から構成されている。イオン分極の分散は遠赤外領域のため，バリスタの信号帯域 (kHz~GHz) における誘電特性の大半は界面分極である。したがって，ZnO結晶より二桁以上大きな  $\epsilon_r$  と，周波数依存性はSchottky障壁 (粒界面) の界面分極であり，バリスタの静電容量は物理的な誘電体ではなく，非線形性と同じ粒界面障壁に起源がある。この界面障壁の静電容量はSchottkyモデルから，(2) 式で示される[8]。

$$C_0 = \frac{1}{2} \sqrt{\frac{e\epsilon_r\epsilon_0 N_d}{2\phi}} \dots \dots \dots (2)$$

$C_0$ : 静電容量,  $e$ : 電気素量,  $\epsilon_0$ : 真空の誘電率,  $\epsilon_r$ : 比誘電率,  $N_d$ : ドナー濃度,  $\phi$ : 障壁高さ

(2) 式より， $C_0$ を下げるには  $N_d$ を減少させるか  $\phi$ を高くすればよい。しかしながら，ZnO粒子の抵抗上昇は保護性能低下やジュール熱による焼損を招く。また， $\phi$ は添加物系で多少異なるが同程度の決まった値をとる[7]。このように  $\epsilon_r$ はバリスタ特性と切り離れた制御は困難である。これが約30年にも渡る既往のBiやPr系で低  $\epsilon_r$  化を果たせなかった理由と考えられた。なお，Bi系をマトリックス材料とし，低  $\epsilon_r$  誘電体との複合化により，低  $\epsilon_r$  材 (約80) が開発されている[8]。この材料系は広く積層バリスタへ使用されているが，約1.0 pFが下限であり，RFアンテナや今後の高速伝送系への搭載は困難である。

### 2.3 内部電極（貴金属）の卑金属化

積層バリスタの主成分であるZnOは安価な材料であり、電極（貴金属）コストの占める割合は大きくなる。このため、Pdの内部電極をNi化したMLCC（Multi Layer Ceramic Capacitor）同様、卑金属化のインパクトは極めて大きい。なお、地金価格では、PdとNiで約3桁もの違いがある。低価格化により、バリスタの適用範囲が拡大されれば、各種機器の信頼性向上が見込まれる。しかしながら、積層バリスタ誕生から約30年にもなるが、卑金属を内部電極としたものでは初期特性すら得られていなかった。BiやPr系は卑金属が酸化されない平衡酸素分圧以下の焼成で還元され、バリスタ特性が消失してしまう課題を有している[2]。

## 3. 高周波対応および卑金属化

上述の課題に対し、著者らが見出した新種のバリスタ材料は全く新しい2つのタイプの積層バリスタへと展開された。1つは超低容量（0.1 pF）で高い抑制効果をもつ高周波用であり、従来特性を完全に一新する。もう1つは、卑金属内部電極を用いた積層バリスタである。高い非線形性とESD抑制効果が初めて発現された。

### 3.1 新種のバリスタ材料の開発経緯

#### [1] 粒界物性からの低電圧・強ESD耐性化指針

新種のバリスタ材料は、低電圧動作の積層バリスタ（ $V_{1mA}=5.6V$ ）用として当初、開発された[9]。BiやPr系材料との比較が第1表である。

第1表 SrCoO<sub>3</sub>系、BiおよびPr系バリスタの材料特性  
Table 1 Characteristics of SrCoO<sub>3</sub>, Bi and Pr-based ZnO varistors

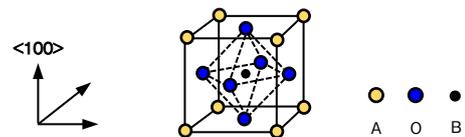
材料系	$V_{1mA}/mm$	$\alpha_{10\mu A}$	$V_{gb}$	粒子径 $\mu m$
	V	$V_{1mA}/V_{10\mu A}$	V	
SrCoO <sub>3</sub>	360	1.19	0.81	2.3
Bi	760	1.18	1.78	2.7
Pr	540	1.14	1.07	2.3

バリスタ特性起源の粒子界面における電圧は、Bi、Pr系と比較して約25%低圧化される。この新材料は超低容量化と卑金属対応に不可欠な材料としても展開された[2][3]。そこで、この材料を見出す経緯から概説したい。材料開発にあたっては、低電圧動作・強ESD耐性の指針を得るべく、既往のBiおよびPr系の粒界特性を解析し、さらにはセラミックスではない半導体デバイスにまで検討対象を広げた。特にSchottky障壁のパルス耐性に関するWunsch&Bellモデルから[10]、界面材料の高融点化が強ESD耐性化につながることを予測した[7]。その半導体界面から得た着想が多結晶体

組織へ高融点の粒界組成物を展開させる契機になった。すなわち、開発の基本指針は既往材料中の低融点（Bi、Sb酸化物等）の複雑な多相粒界を、高融点のP型伝導性組成物とした界面構造のZnO（N型）多結晶体へ転換することであった。しかしながら、ZnOバリスタが開発・製品化されて40年以上に渡り、BiやPr酸化物の添加系しかまともな特性は得られていなかった。この歴史的事実の前には相当の不安を感じたが、N型のZnO粒子間にP型組成物を共存させると非線形性が現れるはず、との特性発現原理に基づき、P型の高融点粒界組成物の探索に着手した。一方、ZnOバリスタの原型開発からの資料、論文等を探して見ても、多様な添加元素が試されてはいてもBiを基軸にしていたのが常であった。したがって、P型組成物で界面障壁を形成する著者らの着想は、盲点と考えられ、新たな指針を進める意を一層強くして開発を進め、新種のZnOバリスタを見出すに至った。

#### [2] 界面障壁を形成できる粒界組成物

新材料の粒界組成物、ペロブスカイト化合物は一般に式ABO<sub>3</sub>で表され、その構造が第3図である。



第3図 ペロブスカイト化合物（ABO<sub>3</sub>）の構造  
Fig. 3 Crystal structure of perovskite compound (ABO<sub>3</sub>)

Bイオンは格子の中心に位置し、6面体の面心位置にある6個の酸素に正8面体的に囲まれている。このBサイトは半導性や強誘電性等、電気特性に重要な役割を果たし、遷移元素の場合はP型の伝導性を示すことが多い。しかしながら、セラミックス粒界は粒子間の圧力や乱れた結晶界面や拡散の速さなどで活性が高く、バルク特性のまま界面で存在するとは限らない[11]。そこで、伝導性を結晶構造の安定性に基づき、候補を吟味した。たとえば、電気的中性を保つようにペロブスカイト構造の安定性を考えると、A、Bのイオン価数の組合せは、1-5型（A<sup>1+</sup>-B<sup>5+</sup>）、2-4型（A<sup>2+</sup>-B<sup>4+</sup>）および3-3型（A<sup>3+</sup>-B<sup>3+</sup>）の3種に分類される。B位置が遷移元素（Cr、Mn、Co）の場合に各組合せで予測される伝導性（P、N型）を第2表に示した。

2-4型は、Bイオン価数が変動してもP型に決定される。これに対して、3-3型はN～P型までキャリアを形成しうるため、両タイプに渡る伝導性が予測され、バリスタ特性を発現しない場合も考えられる。なお、実際に、既往のPr系はPrCoO<sub>3</sub>を含む3-3型と位置付けられるが、焼成等の還元で特性が劣化しやすい。

この伝導性解析に加え、ZnOとの焼結検証を重ねた結果、アルカリ土類金属 (Ca, SrおよびBa) と遷移金属 (Co) との高融点酸化物群 (SrO~2430℃) が、ZnO粒子 (N型) 界面で特性発現物質 (P型) として作用することを見出した。特にSrCoO<sub>3</sub>の場合に低粒界電圧で優れた非直線性とESD耐性のバリスタが得られる[7][12]。

第2表 A, Bイオン価数の組合せと電気伝導性  
Table 2 Relations between valences of A, B ions and conductivity in perovskite compounds

	Aイオン (12配位)	Bイオン (6配位) * ( ) 内はイオン半径		
		N型化	電気的中性	P型化
2-4型	Ca <sup>2+</sup> (1.34)		Cr <sup>4+</sup> (0.44)	Cr <sup>3+</sup> (0.615)
	Sr <sup>2+</sup> (1.44)		Co <sup>4+</sup> (0.53)	Co <sup>3+</sup> (LS 0.545, HS 0.61)
	Ba <sup>2+</sup> (1.61)		Mn <sup>4+</sup> (0.53)	Mn <sup>3+</sup> (LS 0.58, HS 0.83)
3-3型	La <sup>3+</sup> (1.36)	Cr <sup>4+</sup> (0.44)	Cr <sup>3+</sup> (0.615)	Cr <sup>2+</sup> (LS 0.73, HS 0.80)
	Pr <sup>3+</sup> (1.179)		Co <sup>3+</sup> (LS 0.545, HS 0.61)	Co <sup>2+</sup> (LS 0.65, HS 0.745)
	Nd <sup>3+</sup> (1.27)	Mn <sup>4+</sup> (0.53)	Mn <sup>3+</sup> (LS 0.58, HS 0.83)	Mn <sup>2+</sup> (LS 0.67, HS 0.83)
	Sm <sup>3+</sup> (1.24)			
	Ce <sup>3+</sup> (1.34)			

3.2 放電原理内蔵による超低容量化

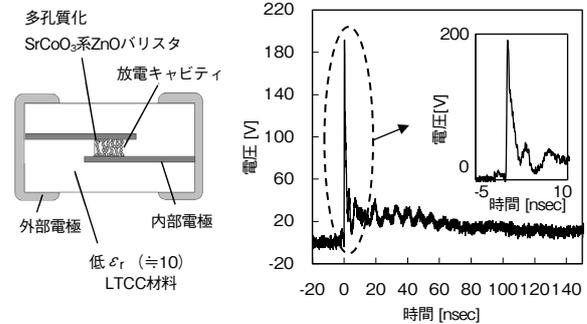
既往の積層バリスタの静電容量下限はBi系の0.8 pF, ESD抑制電圧は約600 V (8 kV) であった。この理由は、低容量化を図ると、素体の浮遊容量が顕在化し、バリスタ機能部を形成できなくなるためである[2]。機能部を低減させる従来の低容量化は、保護効果やESD耐性を悪化させてしまう。そこで著者らは、この本質的問題を解決する研究を進め、ついにバリスタ機能部を放電キャビティとして内蔵した新たな積層構造タイプを開発した。放電キャビティはSrCoO<sub>3</sub>系ZnOバリスタを放電促進剤としたものでESD印加時に動作する。この新型の積層バリスタは静電容量ゼロレベル (0.1 pF) ながら、従来比1/3の優れたESD抑制効果 (200 V at 8 kV: IEC61000-4-2) の画期的特性を有し、高周波/高速信号用途を切り拓くものである[7][14]-[16]。第3表にその特性と、既往品との比較を示す。形状はモバイル機器に適する0603サイズ (0.6 mm×0.3 mm×0.3 mm) である。

第3表 超低静電容量タイプの特性と既往品との比較  
Table 3 Characteristics of low capacitance type and conventional MLCVs

	形状 [mm]	静電容量 (typ.) at 1 MHz [pF]	抑制電圧 (typ.) at 8 kV [V]	ESD耐性 IEC61000-4-2
開発品 (放電機構)	0.6×0.3×0.3	0.1	200	15 kV×100回
既往品	1.0×0.5×0.5	0.8	600	8 kV×10回

第4図は構造の模式図とESD抑制波形である。対向電極間のバリスタ部を多孔質化 (気孔率: 約50%) した組織が放

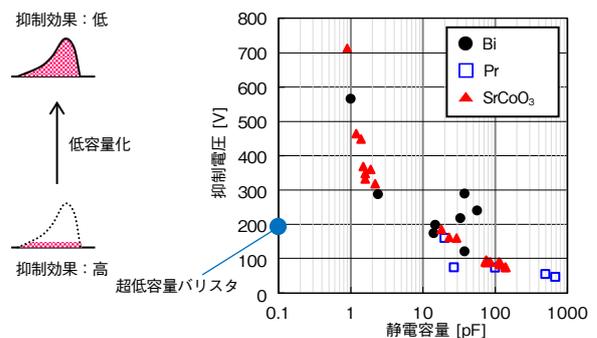
電キャビティであり、電極間を連通する状態で形成して、ESDの放電経路としている。この材料は粒界部に仕事関数の小さいアルカリ土類酸化物 (1.0 eV~1.5 eV) を含むため、放電を促す作用を有し、ESD印加時には低電圧から放電開始に至らしめる働きをする。



第4図 放電併用積層バリスタの模式図とESD抑制波形 (8kV)  
Fig. 4 Cross section of MLCV with discharge cavity and suppressed ESD pulse shape (8kV)

ESDを低圧に抑制する低電圧トリガー動作 (約150 V) は、高速パルスを用いた解析から明らかにされている[17]。この低電圧放電はSrCoO<sub>3</sub>系特有であり、BiやPr系では発現しない。また、ESDのエネルギーはバルク内の電流で生じるジュール熱に代わり、連通空間の放電で消費される。このため、バリスタ材料の焼損は抑制され、15 kV×100回もの強いESD耐性を実現する (従来: 8kV×10回)。なお、中央部のバリスタ部以外は低ε<sub>r</sub>≒10のLTCC (Low Temperature Co-fired Ceramics) 材料とした複合材料素子の構成により、浮遊容量を従来の一桁以下 (≒0.05 pF) に低減し、耐環境性も確保している[2][14][15]。

上記の0.1 pF/抑制電圧200 Vの特性は、第5図に示すバリスタの静電容量とESD抑制効果の関係を大きく打破し、従来の特性を一新する。新規の材料と新たな原理を取り入れた進歩が、高周波用途で優れた効果を発揮することとなり、バリスタの利用範囲拡大に貢献できる。



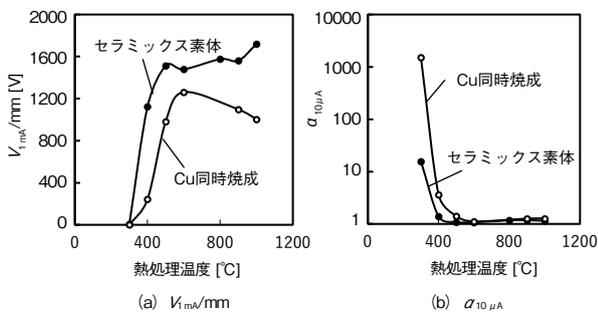
第5図 積層バリスタの静電容量と抑制電圧 (ESD 8kV) の関係  
Fig. 5 Dependence of suppression voltage for capacitance of MLCVs (ESD 8kV)

### 3.3 卑金属内部電極の積層バリスタ

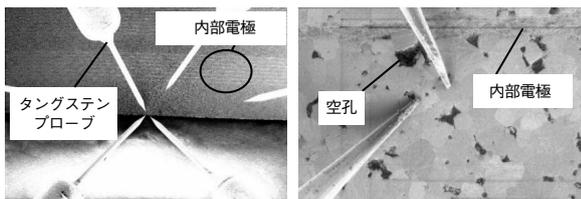
卑金属電極とバリスタとの同時焼成には電極が酸化しない平衡酸素分圧以下の還元雰囲気が必要である。Bi, Pr系の場合、還元雰囲気中で特性起源の粒界障壁が消失してしまう[18]。著者らは添加元素を多く含む多相構造の粒界が、酸化還元性を複雑にし、これが卑金属化を困難にする原因と考えていた[19][20]。これに対して、SrCoO<sub>3</sub>系は、ZnO粒子(N型)-SrCoO<sub>3</sub>粒界(P型)接合の単一界面構造である[12][13][19]。もくろみ通り、粒子／粒界の選択的な還元／酸化が可能になったことが、卑金属電極の積層バリスタで初めての特性発現につながる[3][14]。

#### [1] 還元焼成と熱処理による非線形性の発現

還元焼成後、オーミックな低抵抗体 ( $1.4 \times 10^3 \Omega \cdot \text{cm}$ ) が、熱処理後に  $V_{1\text{mA}}/\text{mm}=1240 \text{ V}$ 、非線形性指標の電圧比  $\alpha_{10\mu\text{A}}=1.19$  の実用レベルのバリスタ特性を発現する[3]。この熱処理過程の特性変化が第6図である ((a)  $V_{1\text{mA}}/\text{mm}$ , (b)  $\alpha_{10\mu\text{A}}$ )。セラミックス素体およびCu同時焼成とも、 $V_{1\text{mA}}/\text{mm}$ は熱処理温度に伴い増加を示して約600℃で飽和し、 $\alpha_{10\mu\text{A}}$ も高い非直線性 (< 1.3) を示す[3][13]。また、Cuと同時焼結しても、その影響は小さい。この熱処理による特性発現は、N型ZnO粒子界面 (SrCoO<sub>3-d</sub>) のP型化、すなわち、著者らが開発指針とした界面障壁モデルの形成が起源である[7][12]。



第6図 還元焼成SrCoO<sub>3</sub>系バリスタの $V_{1\text{mA}}/\text{mm}$ と $\alpha_{10\mu\text{A}}$ の熱処理温度依存性  
Fig. 6 Variations of  $V_{1\text{mA}}/\text{mm}$  and  $\alpha_{10\mu\text{A}}$  in SrCoO<sub>3</sub>-doped ZnO varistors sintered in reducing atmosphere for post-annealing temperature

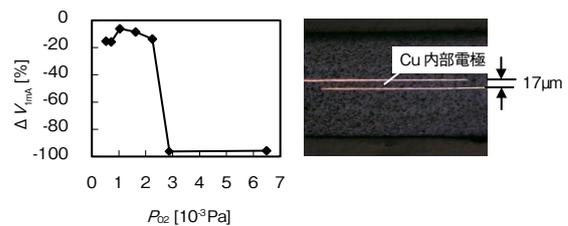


第7図 ナノプローバによる粒界電圧の直接測定  
Fig. 7 Direct measurement of single junction voltage between ZnO grains using nano-prober system

還元焼成で分解されたSrCoO<sub>3-d</sub>は熱処理により再生成し、その酸化に伴うP型キャリア濃度の増加がゼーベック係数と導電性評価から明らかにされ[13]。一方、P型キャリア増加による界面障壁の形成は、第7図に示すナノプローバを用いた界面の直接測定と併せて解明されている[19][21][22]。

#### [2] 積層素子の酸素分圧依存性と強ESD耐性化

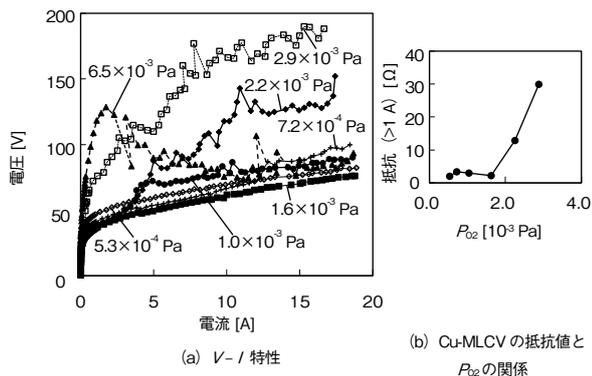
新材料を用いた卑金属 (Cu) との同時焼結プロセスは積層バリスタへ展開され、その開発過程でESD耐性へのZnO粒子抵抗の役割が見出された。この発見により、卑金属内部電極の積層バリスタは、焼成時の酸素分圧制御によって優れた非線形性と高ESD耐性の両立が可能となった。第8図は、 $P_{\text{O}_2}$ とESD耐性 (8kV) との関係である。実用レベル非線形性 ( $V_{1\text{mA}}=22.4 \text{ V}$ ,  $\alpha_{10\mu\text{A}}=1.44$ ) のCu内部電極の積層バリスタから取得した (サイズ:  $1.0 \text{ mm} \times 0.5 \text{ mm} \times 0.5 \text{ mm}$ , 有効層厚: 約17  $\mu\text{m}$ )。



第8図 Cu内部電極の積層バリスタにおけるESD耐性 ( $V_{1\text{mA}}$ の変化 ( $\Delta V_{1\text{mA}}$ )) と $P_{\text{O}_2}$ の関係および素子断面  
Fig. 8 Rate of  $V_{1\text{mA}}$  change ( $\Delta V_{1\text{mA}}$ ) after applying ESD pulse of 8kV from initial values for Cu-MLCVs by reduced sintering and polished cross-sectional view

$P_{\text{O}_2}=1.0 \sim 1.6 \times 10^{-3} \text{ Pa}$ のとき、ESD耐性は大幅に改善し、 $\Delta V_{1\text{mA}} \leq \pm 10 \%$ の耐久性が得られる。一方、高 $P_{\text{O}_2}$ 側ではESD耐性は、 $\Delta V_{1\text{mA}} \leq -90 \%$ の著しい劣化を示す[3][14][20]。第9図の短パルスのTransmission Line Pulse (TLP) 測定により、このESD耐性の改善は、ZnO粒子抵抗の低減と密接に関係することが明らかにされた[20][23]。

また、この結果は、バリスタ組織中のZnOの導電性は酸素欠陥の影響が大きいことを示唆している。ZnO粒子の低抵抗化は、既往材料ではAl<sup>3+</sup>等のドーピングでなされてきたが、焼成中の $P_{\text{O}_2}$ 制御が新たな手段となることが示された。新材料における還元焼成特有の特性制御は、バリスタのさらなる特性向上を拓くものと考えられる。一方では課題も種々ある。たとえば、還元焼成における素子表層のZn蒸発があげられる。低密度の表層は、耐湿性などの信頼性の低下を招くため、蒸発抑制の焼成工法等、プロセスやコーティング技術が今後必要である。



第9図 TLP測定結果

Fig. 9 Electrical characteristics of Cu-MLCVs sintered in various reducing atmospheres by TLP measurement (a)  $V$ - $I$  curves and (b) Resistance over 1A as a function of  $P_{O_2}$  in sintering

#### 4. まとめ

ZnOバリスタはセラミックスの粒界を利用した画期的材料であり、その発見から産業化に至るまで日本で主に推進されてきた。日本の20世紀科学研究の代表者として、野口英世、湯川秀樹、江崎玲於奈らと並んで発明者の松岡道雄もとりあげられている[24]。今や世界中で多様な用途で使用され、社会の信頼性に貢献していることをこの執筆をまとめながら改めて再認識した次第である。21世紀の未来にも新たな技術開発が必要となるはずであり、本稿がそのいささかの参考になれば幸いである。

#### 参考文献

- [1] 松岡道雄, “粒界制御-非線形特性: バリスタ,” セラミックス, vol. 19, no. 1, pp. 43-46, 1984.
- [2] 古賀英一 他, “高速/高周波信号用ZnOバリスタ材料と積層デバイス,” セラミックス, vol. 56, no. 6, pp. 412-417, 2021.
- [3] Y. Higashi et al., “Nonlinear property of SrCoO<sub>3</sub>-doped ZnO ceramics sintered in a reducing atmosphere and multilayer ceramic varistors with base metal electrodes,” J. Mater. Res., vol. 30, no. 15, pp. 2300-2309, 2015.
- [4] G. Mattahaei et al., “Microwave filters, impedance-matching networks, and coupling structures,” Artech House, 1980.
- [5] 向江和郎, “プラセオジウム系酸化亜鉛バリスタの開発および粒界特性に関する研究,” 博士論文, 東京工業大学, 2000.
- [6] 高木豊 他, “磁性体・誘電体の物性工学,” オーム社, 東京, 1967.
- [7] 古賀英一 他, “ESD保護用低電圧積層バリスタ,” パナソニック技報, vol. 58, no. 1, pp. 53-58, 2012.
- [8] 小山一茂 他, “微細構造制御による低誘電率バリスタ,” 積層セラミックデバイスの最新開発技術, 山本孝 (編), シーエムシー出版, 東京, pp.172-184, 2006.
- [9] E. Koga et al., “Multilayer varistor with low-voltage characteristics from ZnO + ACo<sub>3</sub> ceramics (A = Ca, Sr and Ba),” Key Engineering Materials, vol. 485, pp. 249-252, 2011.
- [10] D. C. Wunsch et al., “Determination of threshold failure levels of semiconductor diodes and transistors due to pulse voltages,” IEEE Transactions on Nuclear Science, vol. 15, no. 6, pp. 244-259, 1968.

- [11] W. D. Kingery, “Plausible concepts necessary and sufficient for interpretation of ceramic grain - boundary phenomena: II, solute segregation, grain - boundary diffusion, and general discussion,” J. Amer. Ceram., vol. 57, no. 1 pp. 74-83, 1974.
- [12] E. Koga et al., “Analysis of grain-boundary in SrCoO<sub>3</sub>-doped ZnO varistors and its electrical characteristics,” Key Engineering Materials, vol. 582, pp. 181-184, 2014.
- [13] Y. Higashi et al., “Relation between nonlinearity and semiconducting characteristics of SrCoO<sub>3</sub> additive in ZnO varistors sintered in a reducing atmosphere,” J. Ceram. Soc. Jpn, vol. 125, no. 12, pp. 468-472, 2017.
- [14] 東佳子 他, “ZnO積層バリスタの最新動向,” セラミックス, vol. 53, no. 4, pp. 213-217, 2018.
- [15] E. Koga, et al., “Latest trend of ZnO multi-layer ceramic varistors,” in Encyclopedia of Materials: Technical Ceramics and Glasses, M. Pomeroiy, Ed., Elsevier, vol. 3, pp. 272-280, 2021.
- [16] 東佳子 他, “低圧・超低容量ZnO積層バリスタの実用化,” セラミックデータブック2019/20, セラミックデータブック編集委員会 (編), 工業製品技術協会, 2019, pp. 106-109.
- [17] 古賀英一 他, “放電原理併用の超低容量積層バリスタのTLPによる動作解析と実用特性,” 第39回電子材料研究討論会講演予稿集, pp. 40-41, 2019.
- [18] E. Sonder, et al., “Effect of oxidizing and reducing atmospheres at elevated temperatures on the electrical properties of zinc oxide varistors,” J. Appl. Phys., vol. 54, no. 6, pp. 3566-3572, 1983.
- [19] 東佳子, “還元焼成 SrCoO<sub>3</sub> 添加系 ZnO バリスタの粒界特性および卑金属内部電極との積層化,” 博士論文, 横浜国立大学, 2019.
- [20] 東佳子 他, “還元焼成ZnO積層バリスタの高ESD耐量化,” セラミックス, vol. 56, no. 1, pp. 23-29, 2021.
- [21] E. Koga, et al., “Non-linearity variation of single junctions and its analysis using nano-prober within fine-grained ZnO-based multilayer varistors,” MRS communications, vol. 6, no. 3, pp. 210-215, 2016.
- [22] Y. Higashi, et al., “Barrier formation of single junctions with oxidation in SrCoO<sub>3</sub>-doped ZnO varistors sintered in a reducing atmosphere,” J. Ceram. Soc. Jpn., vol. 127, no. 12, pp. 1-6, 2019.
- [23] Y. Higashi et al., “TLP analysis of variation in ESD performance by co-firing with copper electrodes in SrCoO<sub>3</sub> doped-ZnO based multilayer varistors,” J. Ceram. Soc. Jpn., vol. 124, no. 6, pp. 684-688, 2016.
- [24] 宮入暢子, “科学の世紀: Web of Science®からよみとる日本の20世紀科学研究,” 情報管理, vol. 50, no. 8, pp. 446-456, 2007.

#### 執筆者紹介



古賀 英一 Eiichi Koga  
テクノロジー本部 マテリアル応用技術センター  
Applied Materials Technology Center, Technology Div.  
博士 (工学)



東 佳子 Yoshiko Higashi  
パナソニック インダストリー株式会社  
デバイスソリューション事業部  
Device Solutions Business Div.,  
Panasonic Industry Co., Ltd.  
博士 (工学)