

# UniPhierシステムLSIとその要素技術

UniPhier System LSIs and Their Core Technologies

田中 卓敏\*      吉岡 康介\*\*  
Takaharu Tanaka      Kousuke Yoshioka

当社では、デジタルAV家電統合プラットフォームであるUniPhierアーキテクチャを時代とともに進化させてきた。本稿では、そのハードウェアプラットフォームであるUniPhierシステムLSIの最新のアーキテクチャ、およびその要素技術について解説する。特に高機能化に対する性能保証へのアプローチ、オープンソースソフト活用のためのプラットフォーム拡張、低消費電力技術の展開、SoC (System on Chip) 展開加速のための入出力インターフェース向けバスアーキテクチャについて解説する。

We developed the UniPhier architecture to match customers' needs. We report on the latest hardware platform architecture, called UniPhier system LSIs, and their core technologies. In particular, we report on the approach to guarantee performance, the extension of the hardware platform for open source software, low power technology and the peripheral bus architecture to accelerate the development of SoC.

## 1. UniPhier<sup>(注1)</sup> アーキテクチャの概要

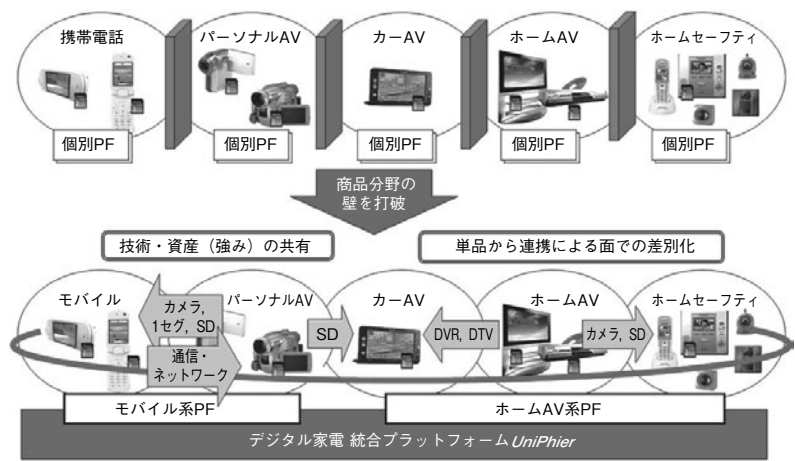
1990年代後半から始まったAV家電のデジタル化は、2000年代に入るとさらなる加速を見せ、当社をはじめとするAV家電機器メーカーは、携帯電話に代表されるモバイル機器、TV、ビデオといったホームAV機器などへ、迅速に商品展開することが必要であった。

2000年時点での当社のAV機器デジタル化に向けては、モバイル機器、ホームAV機器ともに、そのデジタル化勃興期において、対応信号処理LSIを個別開発している状況であった。一方、デジタル化の流れは、システム構成部品を半導体に搭載することを可能とし、ムーアの法則に則った微細化、高性能化技術の進展と相まって、デ

ジタル機器を1チップのシステムLSIとして構成することが可能となっていた。さらに、ソフトウェア開発においては、携帯電話のiモード<sup>(注2)</sup>やデジタルTVのデータ放送などデジタル機器の高機能化を皮切りにソフトウェアの開発規模増大が課題であった。

UniPhierは、以上のような背景を踏まえ、携帯電話、DTV (Digital TeleVision)、DVR (Digital Video Recorder)、DSC (Digital Still Camera)、車載AVなどのAV機器群への展開を可能とすべく、その主要な構成要素であるシステムLSIと、ソフトウェアを共通化するねらいで設計されたデジタルAV家電統合プラットフォーム (PF) である (第1図) [1]。

特に、ハードウェアPFである“UniPhierアーキテクチャ



第1図 UniPhierの開発コンセプト

Fig. 1 Concept of UniPhier

\* デジタルコア開発センター  
Digital Core Development Center

\*\* システムアーキテクチャ開発センター  
System Architecture Development Center

(注1) 当社の登録商標

(注2) (株) NTTドコモの登録商標

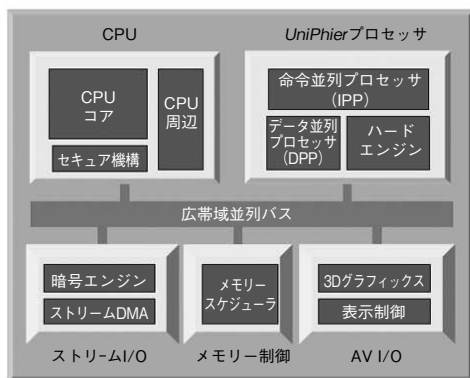
準拠システムLSI（UniPhierシステムLSI）”は、機能分割の観点から、分野にかかわらず第2図に示す5つの機能ブロックから構成され、必要に応じてブロックの機能や性能を商品分野に合わせて最適化しPF展開を行えるようになっている[2][3].

このようにUniPhier アーキテクチャは、商品分野間横断の設計共通化を源流思想にもち、H.264コーデックを中心とするAV機器群のバリューチェーン構築により、いち早くお客様に商品を提供できた。近年においては、メディア処理の性能向上要望はますます高くなり、多チャンネル録画や宅内動画ネット配信に必要とされる同時動作処理を、IPネットワークやUI（User Interface）グ

ラフィックスを中心とするCPU性能向上と同時に達成し、迅速にシステム提供することが求められている。

また、要素技術の進化としては、多様なアプリケーションを求める顧客要望に対して、Android<sup>(注3)</sup>に代表されるオープンソースソフトへの対応、省電力に対する顧客意識の高まりに伴い、モバイル機器のみならずホームAV機器への省電力技術展開が求められている（第3図）。

本稿では、最新のUniPhierアーキテクチャの特長に触れ、AV機器の高機能化に伴うシステム性能保証機構の進化、オープンソースソフトに対応したプロセッサシステムアーキテクチャ、AV機器の高機能化に伴う低消費電力技術、およびSoC仕様の展開を容易化するため、品種ごとに差分が大きい高速インターフェース回路を、SoCの周辺領域に局所化して施設するペリフェラルバス・アーキテクチャについて解説する。



IPP: Instruction Parallel Processor    DPP: Data Parallel Processor  
3D: 3 Dimensional                          DMA: Direct Memory Access  
I/O: Input/Output

第2図 UniPhierシステムLSIの構成と機能  
Fig. 2 Structure and functions of UniPhier system LSI

## 2. 性能保証機構とその進化

民生用AV機器では、パソコンや情報端末とは異なり、AVデコード時の画像フレームのコマ落ちや音切れは許されない。UniPhierでは開発当初からデジタルAV家電の機能向上、同時動作の複雑化を見据え、単機能の性能面での独立性を保つことによる性能保証をシステムアーキテクチャレベルで実現している。特に複数のリアルタイム処理要求が集中するメモリー制御ブロックと、メディア処理プロセッサ（IPP）において、メモリー制御ブロッ

		2005年	2007年	2009年	2011年
システム	背景（ねらい）	民生デジタル機器本格普及 PF化でセット開発効率向上 モバイル機器のAV視聴／ 長時間化／本格ゲーム対応	HD普及・ネットワーク時代到来 H.264 HD/バリューチェーン BD/BD-3D立体視/HDM-ビー モバイル機器の映画面高精細化	高速ネットワーク&AVとエコの時代 ネットコンテンツの快適視聴 豊富なダウンロードサービスへの対応 新たなAV潮流（高画質、認識）	
	商品群	SDムービー    DTV/DVR    BDレコーダー モバイル    HDムービー			
	確立技術	長時間録画    DLNA <sup>(注4)</sup> 対応    多チャンネル録画    高速ブラウザ UniPhier PF確立    IPネットワーク対応    オープンソースソフト対応 省電力（待ち受け、SDオーディオ）    省電力（レコーダ待機電力）			
要素コア	CPU/DSP	DSP (IPP2) キャッシュアーキテクチャ		ARM/IPP3 GHz化	
	コーデック	リアルタイム保証マルチスレッド		H.264 HDコーデック    マルチ規格対応コーデック	
	外部メモリー制御	リアルタイム性能保証		IPネットワーク／グラフィックス性能	
	AVメディア	超解像			

SD: Standard Definition    HD: High Definition    BD: Blu-ray<sup>(注5)</sup> Disc    DLNA: Digital Living Network Alliance  
CPU: Central Processing Unit    DSP: Digital Signal Processor    ARM: Advanced RISC Machines

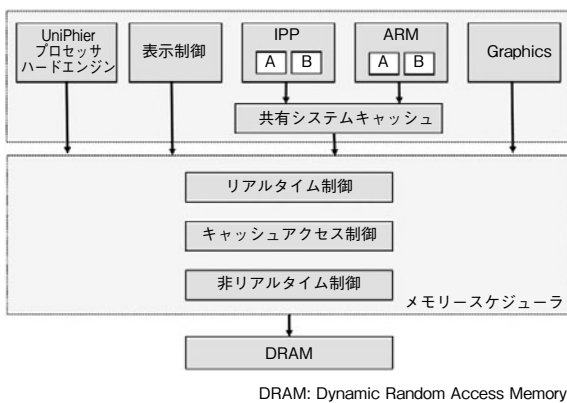
第3図 UniPhier プラットフォームロードマップ  
Fig. 3 Roadmap of UniPhier platform

(注3) Google Inc. の商標または登録商標  
(注4) Digital Living Network Allianceの登録商標  
(注5) ブルーレイディスクアソシエーションの商標

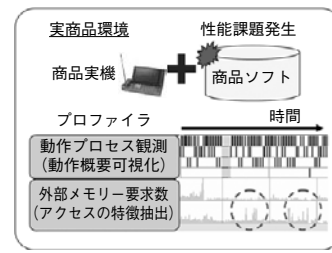
クは、アクセス要求を出すマスタごとに割り当てるメモリー帯域を設定できる機構を、IPPには処理ごとに、必要性能を割り当てることが保証できる機構（Virtual Multi-Processor）をもたせている。また、アクセス競合時のCPUやIPPのキャッシュアクセスの性能劣化を防ぐために、外部メモリーとのレイテンシを短縮する機構も実装している。近年導入したARMプロセッサにも同様の機構を搭載し、プロセッサのコア単位ごとにメモリー帯域を設定できる仕組み、およびレイテンシを短縮する仕組みを実装している。さらに、放送視聴やコンテンツ再生などのリアルタイム処理をグラフィックス処理などの非リアルタイム処理が妨げないような仕組みを入れる一方、リアルタイム処理の負荷が軽い場合には、非リアルタイム処理にメモリー帯域を割り当て、グラフィックス処理の性能を最大限に引き出す仕組みを入れている（第4図）。

これらハードウェアの保証機構によって、必要なメモリー帯域やプロセッサ性能の割り当てが実現されているため、従来必要だったマージンを大幅に削減でき、最大値の90%以上の性能活用が可能になるとともに、ユースケースの実時間処理実装の容易化を実現している。これにより、複数コンテンツの同時録画再生制約の緩和や、放送視聴とTV通話の同時動作が実現可能となり、他社に先駆けて商品化することができた。

また近年、商品の高機能化およびLSIの大規模化に伴い、システムボトルネックの見極めが非常に困難になってきている。UniPhierでは、商品ソフトウェアを動作させた状態で、ソフトウェアの処理分析やバスのアクセス解析を行う性能プロファイリング手法を確立し、システム全体のボトルネック解析を行うことで、デジタル機器の高速起動やネットワークアクセスの高速応答など、商品の高い付加価値を創り出している（第5図）。



第4図 メモリスケジューラの構成  
Fig. 4 Structure of memory scheduler



第5図 性能プロファイル手法  
Fig. 5 Performance profile method

### 3. UniPhierシステムLSIを支える要素技術

本章では、UniPhierシステムLSIを支える要素技術について解説する。

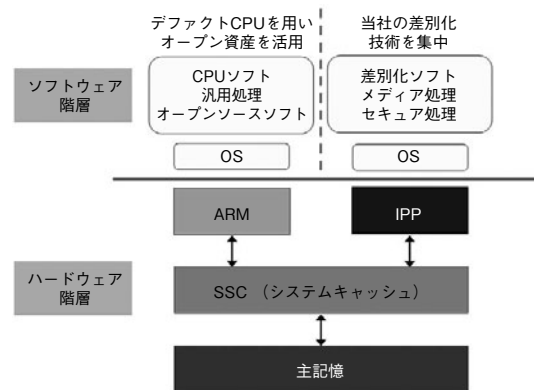
#### 3.1 プロセッサ

##### [1] プロセッサシステムアーキテクチャ

近年の民生用AV機器に用いられるプロセッサの性能向上は著しく、1 GHzを超えるものが一般的に用いられるようになってきている。

UniPhierにおけるプロセッサシステムは、業界トレンドを踏まえ、GHz級の周波数で動作するプロセッサを搭載している。さらに、ARMとIPPの2種類の特徴の異なるプロセッサを用いることで、オープンソースソフトも活用しながら、自社ソフトによる差別化を可能としている（第6図）。

本プロセッサシステムでは、異なる種類のプロセッサから見ても対称的なシステムアーキテクチャ構成を採ることで、ソフトウェアの開発時にプロセッサ間で処理を柔軟に割り当てることを可能としている。また、複数の処理の同時動作を前提とした共有システムキャッシュメモリーを備えている。



第6図 プロセッサシステム概観  
Fig. 6 Overview of processor system

〔2〕共有システムキャッシュ

ARMとIPPの両方からアクセス可能な2次キャッシュメモリである共有システムキャッシュ（Shared System Cache）を搭載し、面積を抑えながらメモリアクセス効率を向上させるとともに、プロセッサ間通信の高速化を図っている。また、仮想プロセッサを含む各プロセッサからのメモリアクセスをグループ化し、グループ単位でのキャッシュやメモリーにおけるスループットの制御を可能とすることで、リアルタイム性が必要な処理に対応している。

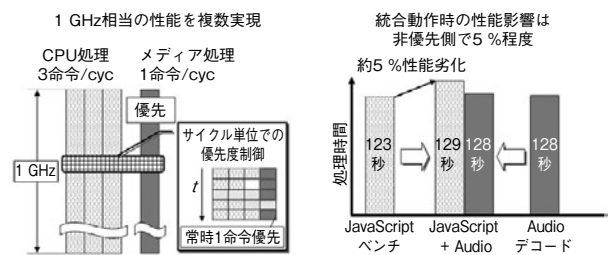
さらに、レイテンシの削減とプリフェッチバッファを活用したスループット向上で基本性能を上げるとともに、キャッシュメモリ容量を十分に活用できない要因となる、複数の処理が同時にキャッシュメモリを使う場合の追い出し合い（スラッシング）の発生を抑える機構を搭載している。また、アドレス領域で指定可能なキャッシュオペレーションと、コヒーレンスポート機能の搭載や排他命令モニタにより、プロセッサ間通信やデータ転送の性能向上を実現している。

〔3〕IPP3（Instruction Parallel Processor3）

IPP3は、プロセッサ性能向上の要求に応えるべく、GHz級の動作周波数によってプロセッサ処理性能を大幅に向上させるとともに、UniPhierプロセッサの進化の基盤となるIPPに、ホストプロセッサ機能を統合することにより、ハイエンドゾーンにおける高性能化と、ボリュームゾーンにおけるコストダウンを両立している。

統合においては、単一のプロセッサ上でCPU処理とメディア処理を同時に動作させる必要があるため、1つのプロセッサを仮想的に分割しなければならない。IPP3では、IPP2.xからの継承機能である、単独のプロセッサ上で仮想的なマルチプロセッサ環境と性能保証を実現する仮想マルチプロセッサ（VMP: Virtual Multi-Processor）機能を強化している。応答性重視型のCPU処理と動作保証型のメディア処理などの特性の異なる処理に対しても、動作サイクルに加え、サイクル内の演算リソース単位の優先度制御により、最適な性能の割り当てが可能である。例えば、JavaScript<sup>(注6)</sup>ベンチマークとオーディオデコード処理を同時動作させた場合にも、それぞれを単独で動作させた場合と比較して5%程度の性能劣化で同時実行が可能であり、単独のプロセッサ上でGHz級のCPU処理とメディア処理を可能としている（第7図）。

さらに、浮動小数点演算機能を実現するためのアーキテクチャ拡張としてFPU（Floating-Point Unit）、大量の画素・音声データなどを用いるメディア処理の性能を強



第7図 IPP3の性能モデル  
Fig. 7 Performance model of IPP3

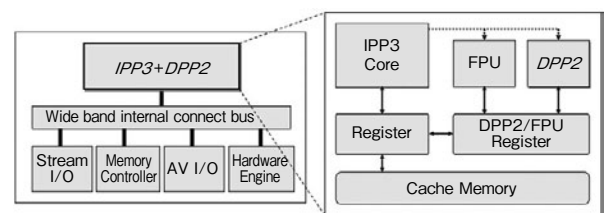
化するためのアーキテクチャ拡張としてDPP2（Data Parallel Processor2）を、それぞれ搭載可能である（第8図）。

〔4〕DPP2

最新のLSIに搭載したDPP2は、ソフトウェア開発効率の向上を図るため、ホストプロセッサであるIPP3と密に結合する拡張演算ユニットの形態を採った。

本構成により、ホストプロセッサ（IPP3）単一のソフトウェアとしてのプログラミングモデルを実現している。さらに、DPP2命令をIPP3の拡張命令として定義し、コンパイラを用いたソフトウェア開発を実現するとともに、IPP3とキャッシュを用いたメモリーシステムを共有することにより、大幅な開発効率の向上を実現している。

DPP2の命令セットは、128 bit幅のSIMD（Single Instruction/Multiple Data）命令を基本とし、一部256 bit幅での命令実行を可能としている。また、幅広いメディアコンテンツを高速化する豊富な機能を備えており、より低い電力と省面積で汎用レベルPCと同等のメディア処理性能を発揮することを可能としている。



第8図 IPP3+DPP2 ブロック図  
Fig. 8 Block diagram of IPP3+DPP2

3.2 低消費電力技術

低消費電力技術は大きくシステム観点、論理設計観点、物理設計観点の3点に分類されるが、UniPhierではこれらの観点において商品分野間共通化の思想をもちながら、お客様に価値を訴求できる時期を見据え、分野展開を図ってきた。例えば、従来モバイル機器での代表的な取り組みは、LSIの処理負荷に応じたクロック周波数制御、クロックゲーティング、パワーゲーティング（電源

(注6) Oracle America, Inc. Corp.の登録商標



遮断)である。一方、近年電池駆動であるモバイル機器に加え、ホームAV機器においても待機時の電力が重要視されるに至り、モバイル機器で培った低消費電力技術を積極的に取り入れ、ホームAV機器システムに適応した低消費電力待機システムを実現している。以下、システム観点でメモリアクセス量を削減する低消費電力技術について解説する。

民生用AV機器においてメモリーに読み書きされるデータの大部分は画像データであるため、画像コーデック特有の矩形データを効率的にメモリアクセスする技術や、画像データを圧縮する技術によりメモリー帯域を削減し、メモリアクセスに要する消費電力を減らすことを可能としている。動画を圧縮することにより消費電力を低減させる技術は他社にも適用例があるが、UniPhierでは動画に加え、グラフィックスデータを圧縮する技術を適用している。この圧縮はランダムアクセスを行ううえ、何度繰り返し読み書きするか事前に予想できない点が難しい。UniPhierにおいて、非可逆ながら画質の劣化を最小限に抑える方式を開発した。民生用AV機器でのグラフィックス処理は今後ますます多くなる傾向にあるが、本技術を用いることにより高画質なグラフィックス処理を低消費電力で実現することが可能となっている。

これらにより、商品の熱対策部品の削減や安価なLSIパッケージを採用することが可能となり、商品のコスト低減に貢献している。

### 3.3 物理設計を考慮した設計容易化技術

UniPhierは、民生用AV機器のアーキテクチャ共通化をねらいとしている。さらなる設計効率化を目指すために、プロセッサをはじめとして、メモリーコントローラ、コーデック処理回路といったSoCの基幹部品のアーキテクチャのみならず、実装も共通化し、周辺の入出力インターフェース回路（以下、I/O回路と記す）を品種ごとの主要な差分点として、USB（Universal Serial Bus）、ATA（Advanced Technology Attachment）などのI/O回路のみを変更することで品種展開できる設計が望まれている。

一方、設計の最終段階において、製品仕様の都合でLSIの端子配置が変更される場合も多い。その端子に接続されるI/O回路の配線が検証・レイアウトを完了したブロックをまたがることで、再検証や再レイアウトが必要となり設計の長期化を招く。

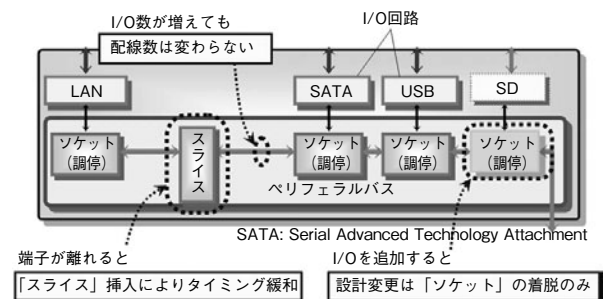
以上より、I/O回路配置変更に伴う変更箇所を局所化がさらなる展開性の向上には重要である。SoC基幹部分の周辺にI/O回路の施設領域を設け、そのI/O施設領域のみを設計変更可能なペリフェラルバス・アーキテクチャ

を開発した（第9図）。

ペリフェラルバスは、I/O回路に対応したソケットをチェーン状に接続する共有バス構成である。ソケットはI/O回路と共に共有バスに着脱すべき回路であり、分散化された調停機構をもち、これにより共有バスの使用権を決定する。

上記の構成により、I/O回路の構成変化による設計変更を、I/O回路およびソケットの着脱に限定することができ、着脱対象の回路以外には影響が及ばない。したがって、設計変更領域を局所化することが可能である。

また、共有バス構成を採ることにより、I/O回路追加時の長距離配線の増大を抑制し、配線の増大による物理設計負担を軽減できる。



第9図 ペリフェラルバスの構成図

Fig. 9 Block diagram of peripheral bus

## 4. 今後の展望

当社では、他社に先駆けて複数の商品分野に対して共通PFを適用することによって、短TAT（Turn Around Time）で商品分野間のシームレスな商品展開を行ってきた。また、共通PFの考え方は変えずに、時代に合わせてその構成要素である要素技術を進化させてきた。

今後は、ネットワーク強化およびさらなる低消費電力化を進め、タブレットなどの分野にも本UniPhierシステムLSIを搭載していく予定である。

### 参考文献

- [1] 清原督三 他, “特集 松下の決断 ソフトウェア開発効率を重視したデジタル家電向けメディア・プロセッサを開発,” 日経エレクトロニクス, 2004/10/11号, pp.117-123, 2004.
- [2] J. Michiyama et al., “An integrated platform for digital consumer electronics,” IEICE TRANS. ELECTRON, vol.E92-C, no.10, pp.1240-1248, 2009.
- [3] 木村浩三 他, “デジタルTV用システムLSIとその要素技術,” Panasonic Tech. Journal, vol.57, no.2, pp.52-55, 2011.