

# SiCパワーデバイスの損失低減実証

SiC Power Device and Loss-Reduction Operation

庭山 雅彦  
Masahiko Niwayama

風間 俊  
Shun Kazama

工藤 千秋  
Chiaki Kudo

北畠 真  
Makoto Kitabatake

## 要 旨

ワイドバンドギャップ半導体であるSiCパワーデバイスの高性能化を実現し、家庭用電化製品に使われるパワーエレクトロニクス回路へ適用した。SiCパワー素子としては世界最高水準となる、耐圧実力値1000 V以上、ドレイン電流40 A以上 ( $V_{ds}=1$  V,  $V_{gs}=20$  V)、規格化オン抵抗 $3.5 \text{ m}\Omega/\text{cm}^2$ の、ノーマリーオフパワースイッチをMOSFET構造で実現した。また、損失低減実証実験を行ったところ、PFC (Power-Factor-Correction) 回路では、スイッチングデバイスにおける損失を素子当りSi-MOSFETに比べて1/3に、インバータ回路では素子当りSi-IGBTの1/2以下に低減することができた。

今後は、1200 V超級での高耐圧分野で、自動車用途などへの新応用展開を目指す。

## Abstract

We have achieved the creation of high-performance wide-band-gap semiconductor SiC power devices (Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET). Typical drain-source avalanche breakdown voltage with no gate bias ( $V_{gs}=0$  V) was measured to be >1000 V. Large drain current ( $I_d$ ) >40 A was observed under the conditions of  $V_{ds}$  (drain Bias) =1 V and  $V_{gs}=+20$  V. Typical specific on resistance ( $R_{on}$ ) was measured to be  $3.5 \text{ m}\Omega/\text{cm}^2$ . Our SiC-MOSFET will be applicable to the power electronic circuits used in home appliances. It was confirmed that the energy loss of SW device in a PFC (Power-Factor-Correction) circuit was reduced to one-third of that of the conventional Si-MOSFET. In an inverter circuit, it was reduced to half or less of that of the conventional Si-IGBT.

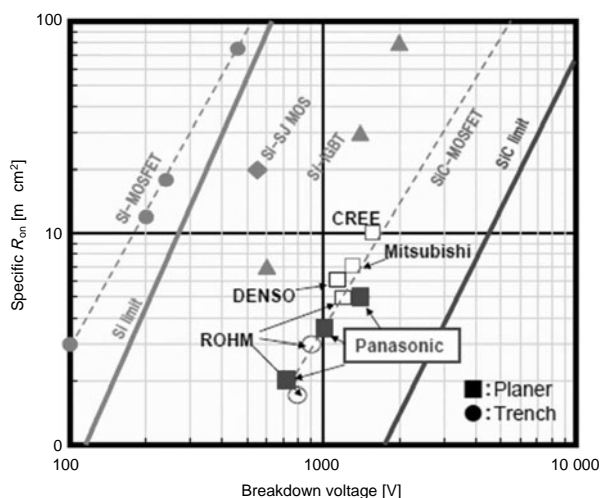
The SiC-MOSFET has an advantage over Si power electronics devices in high-voltage and high-frequency performance. We aim to apply the SiC-MOSFET in electric vehicles in future.

## 1. はじめに

われわれの日常生活では、数多くの電気器具が大量の電気とともに使用されている。したがって、地球環境の保護の観点から、小型、軽量で、消費電力の少ない家電製品を実現する必要がある。近年、モータ制御や家電製品のパワーエレクトロニクス (PE: Power-Electronics) アプリケーションとして、コンバータやインバータのような変換効率が高いスイッチング電力変換回路 (SMPC circuits: Switched-Mode Power-Conversion circuits) が適用されている。家電用の標準的SMPC回路のキャリア周波数は1 kHzから100 kHzの範囲で、半導体スイッチとダイオードがSMPC回路のキーデバイスとなっている。

消費電力を抑えるためには、SMPC回路中の半導体スイッチとダイオードのエネルギー損を抑制する必要がある。エネルギー損はオン抵抗 ( $R_{on}$ ) 損失とスイッチング (SW) 損失の和となり、オン抵抗が低く、かつ高速スイッチングが可能となる低損失半導体スイッチとダイオードが求められる。

第1図に、パワーエレクトロニクス半導体の規格化オン抵抗と降伏電圧 (VBD: Breakdown Voltage) の関係を示す。一般に高いVBDが必要となればドリフト層 (第2図参照) を厚くする必要があり、その結果オン抵抗は高くな



第1図 パワーエレクトロニクス半導体の規格化オン抵抗と降伏電圧の関係

Fig. 1 Specific on resistance ( $R_{on}$ ) of PE semiconductor devices as function of breakdown voltage

る。

現在、幅広く使用されているSi半導体スイッチは、ユニポーラMOSFET (Metal Oxide Semiconductor Field Effect Transistor) とバイポーラIGBT (Insulated Gate Bipolar Transistor) に分類される。

Siの絶縁破壊電界は $3 \times 10^5$  V/cmであるため、高いVBDが要求される場合にはドリフト層の膜厚を厚くする必要がある。Siユニポーラデバイスでは600 V以上のVBDが必要となれば $100 \text{ m cm}^2$ 以上と高い規格化オン抵抗となる。

バイポーラIGBTの動作は、同一半導体領域内でのバイポーラ電流伝導とMOS (Metal Oxide Semiconductor) ゲートの電流制御の組合せに基づいている。Si-IGBTでは導電率変調によりSiユニポーラデバイスの限界を超えた低オン抵抗が実現できる。しかし、バイポーラ動作であり少数キャリアライフタイムの寿命が長いためスイッチング速度は遅い。

つまりSi-MOSFETが比較的オン抵抗は高くスイッチング速度は速い一方、Si-IGBTは低オン抵抗で比較的スイッチング速度が遅くなる。このようにSi半導体素子はオン抵抗低減と高速スイッチングの両立に限界が来ている。また、オン抵抗の温度変化は、Si-MOSFETでは温度上昇に伴い増加する傾向を示すが、Si-IGBTではほとんど変化がない。

## 2. SiCパワーデバイス

### 2.1 SiCパワーデバイスの展望

ワイドギャップ半導体であるSiCは絶縁破壊電界が $3 \times 10^6$  V/cmであり、Siに比べほぼ一桁高い電界に耐えることができるため、ドリフト層の厚さをSiより一桁薄くすることができる。つまり、SiCは低オン抵抗の半導体スイッチおよびダイオードの実現に大きく期待されており、ユニポーラ型SiC-MOSFETは、Si-IGBTよりも低いオン抵抗とSi-MOSFETのような高速スイッチングの両立が可能となる[1]。また、SiCショットキーバリアダイオード (SBD: Schottky Barrier Diode) は、高速ユニポーラリカバリーであるため、Siダイオードとして一般に使われるSiバイポーラPINダイオードと比較して低いオン抵抗と高速リカバリーを実現することができる[2]。したがって、SiC-SBDとSiC-MOSFETを組み合わせれば、従来のシリコンバイポーラPINダイオードとSi-IGBT (Si-MOSFET) の組合せに比べ、PE回路のエネルギー損失を大きく削減することが可能となる。また、SiC-MOSFETの高速スイッチングは、高キャリア周波数による歪 (ひずみ) が少ない電力変換が可能となり、高効率、低ノイズ動作を実現する。

### 2.2 SiCパワーデバイスへの課題

低オン抵抗と高速スイッチングの両立が期待されるSiC-MOSFETであるが、第1図に示されるように、 $R_{on}$ の値は理論的限界値に比べいまだかなり大きく、十分にSiCの性能

を発揮しているとは言いがたい。この原因の多くは、チャンネル抵抗が高いためであり、チャンネル長を短くし抵抗値そのものを下げ、またSiC/SiO<sub>2</sub>界面準位密度を低減させ、チャンネル移動度を向上させる必要がある。

チャンネル長 ( $L_g$ ) を短くするためには、微細化するだけでなく、ショートチャンネル効果の影響を小さくするために $L_g$ のばらつきを抑制する必要がある。今回筆者らは、ソース領域とp-ウェル領域を複数層のハードマスクを用いたセルフアライン方法で形成することにより、セルフアライン方法を用いない場合の $L_g=1.0 \text{ }\mu\text{m}$ よりも微細で半分のサイズとなる、 $L_g=0.5 \text{ }\mu\text{m}$ を安定して実現させた。また、チャンネル層をエピタキシャル形成することにより、注入欠陥の少ない良質な膜を得、ゲート酸化後のNOアニールの効果と合わせて、一桁程度チャンネル移動度を向上させた。

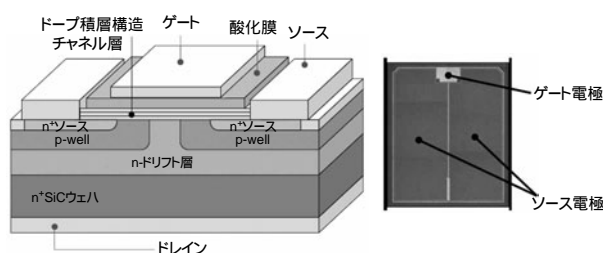
### 2.3 構造

上述のプロセスを用い、規格化オン抵抗の値が縦型プレーナSiC-MOSFET構造としては最小となるデバイスの開発を行った。

この縦型SiC-MOSFETは、二重注入MOS (DIMOS) プロセスを用いて形成される[3]。第2図に、SiC-MOSFETの模式図を示す。

4H-SiC (0001) のSiオフカット基板に、厚さ $10 \text{ }\mu\text{m}$ 、濃度 $1.25 \times 10^{16} \text{ cm}^{-3}$ のn型ドリフト層が形成されている。このドリフト層の表層の一部に、平均濃度が $2.0 \times 10^{18} \text{ cm}^{-3}$ となるようにp-ウェル領域が形成され、その後複数層のハードマスクを用いたセルフアラインによりp-ウェル領域中のn+型ソース領域を形成する。p-ウェル領域中にはソース領域と隣接する形でオーミックを取るための高濃度p層も形成されている。

試作SiC-MOSFETのチャンネル層は、各不純物層の表面にエピタキシャル層をたい積して形成されており、そのエピタキシャル層表面をドライ酸化とNOアニールをすることにより電気的膜厚70 nmのゲート酸化膜を形成してい



第2図 SiC-DIMOSFETの基本セル構造

Fig. 2 Schematic drawing of structure and plane view photo of SiC-DIMOSFET

る。その後、リングドープされたポリシリコンをたい積後、エッチング加工しゲート電極が形成される。ソース電極、ドレイン電極は金属Niをたい積後、RTA (Rapid Thermal Annealing) 処理によりSiC上のNiをシリサイド化し、オーミックコンタクトを形成する。

試作SiC-MOSFETのユニットセルは正方セルであり、大きさは10.4 μm × 10.4 μmである。ユニットセルはアレイ状に敷き詰められ、最外周部はガードリングによって終端されている。

今回作成したSiC-MOSFETのチップの大きさは、5.0 mm × 4.2 mmであり、活性領域は0.157 cm<sup>2</sup>で、TO-220にパッケージングし、動作試験を行った。

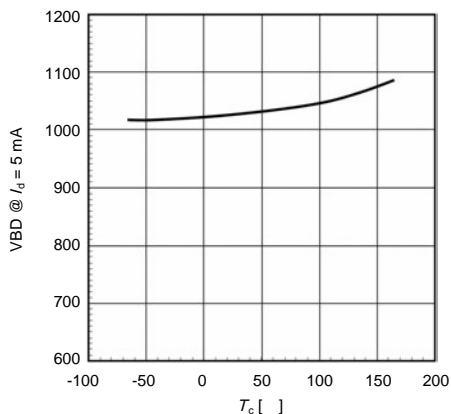
2.4 DC特性

試作したSiC-MOSFETのDC特性に関して述べる。

第3図に、VBDの温度依存性を示す。ゲート電圧V<sub>gs</sub>=0 Vでは1000 V以上でアバランシェ破壊を起こしている。また、VBDは温度の上昇とともに大きくなり、これはSi-MOSFETと同じ挙動である。

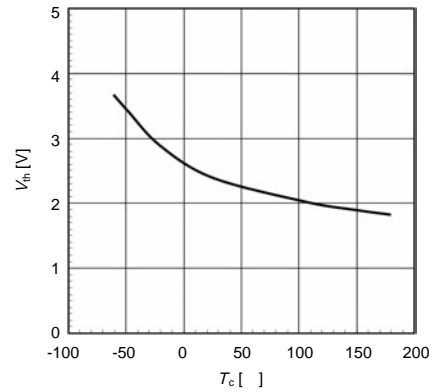
第4図に、ドレイン電流(I<sub>d</sub>)の値が1 mAとなるV<sub>gs</sub>の値で定義される閾値(しきいち)電圧(V<sub>th</sub>)の温度依存性を示す。室温ではV<sub>th</sub>=2.3 VであったV<sub>th</sub>は、150 °Cでは1.8 Vまで小さくなっているが、高温でも筆者らのSiC-MOSFETはノーマリーオフを維持しており、安全動作が可能であることがわかる。

第5図は、SiC-MOSFETの室温におけるオン状態でのDC特性を示している。ドレイン電圧V<sub>ds</sub>=1 V、V<sub>gs</sub>=+20 Vの条件下で、I<sub>d</sub>=40 A以上が観測された。室温、V<sub>gs</sub>=+20 V下でのオン抵抗と規格化オン抵抗は、22 mΩ、3.5 mΩ/cm<sup>2</sup>である。この規格化オン抵抗値は、第2図で示される縦型プレーナSiC-MOSFET構造で>1 kV耐圧品としては、第1図で示したように最小レベルを実現することができた。ま



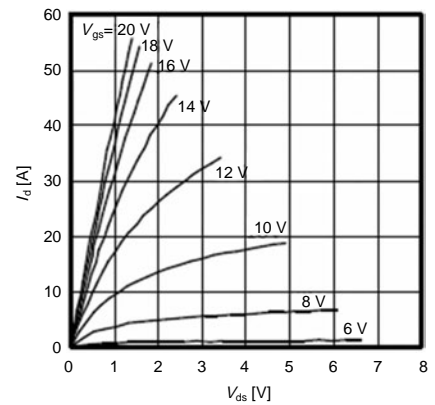
第3図 絶縁破壊電圧の温度依存

Fig. 3 Temperature dependence of breakdown voltage of SiC-DIMOSFET



第4図 閾値の温度依存

Fig. 4 Temperature dependence of threshold voltage of SiC-DIMOSFET



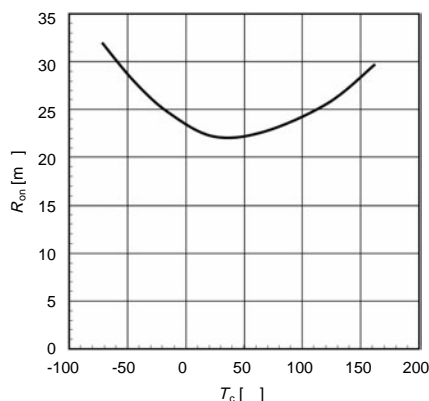
第5図 DCオン特性

Fig. 5 On-state DC characteristics of SiC-DIMOSFET

たV<sub>gs</sub>=20 Vでのゲート酸化膜の電界は2.56 MV/cmであり、これは酸化膜の信頼性を考えた場合に必要とされる電界強度3.0 MV/cmよりも、十分小さな値となっている。

このように、SiC-MOSFETの規格化オン抵抗はSiデバイスの限界値よりも小さく、またSi-IGBTの値よりも小さくできることが実証された。

続いて第6図に、オン抵抗の温度依存性を示す。室温では、22 mΩ、3.5 mΩ/cm<sup>2</sup>であったオン抵抗、規格化オン抵抗が、150 °Cまで温度を上昇させることにより29 mΩ、4.6 mΩ/cm<sup>2</sup>まで増加する。このオン抵抗の温度依存性は、標準的なSi-MOSFETで3倍程度上昇することに比べて十分小さな増加量である。第6図に示されたオン抵抗の温度依存性は、温度上昇に伴うMOSのチャネル抵抗の減少とドリフト抵抗の増加によって発生し、室温以下では負、室温以上では正の値となっている。



第6図 オン抵抗の温度依存

Fig. 6 Temperature dependence of on resistance of SiC-DIMOSFET

## 2.5 スイッチング特性

スイッチング特性を確認するために、ゲート抵抗なし ( $R_g=0$ ) の状態で300V-20Aのテスト回路を用いて評価を行った。非常に高速なスイッチング動作を示し、ターンオン時の立ち上がり時間、ターンオフ時の立ち下り時間とも10 ns以下で動作可能であることが確認された。このように高速スイッチング動作が可能であることから、キャリア周波数が100 kHzに及ぶパワーエレクトロニクス回路でもスイッチング損失を大幅に低減することが可能となる。

## 3. 家電用PEアプリケーションでの低損失駆動

### 3.1 家電用PEアプリケーション

家電製品のPEアプリケーションとして、コンバータやインバータが使われるのが一般的となり、近年キャリア周波数の高速化が求められるようになってきた。

また、家庭用としても200 V以上の電圧が要求される場合がある。このような高電圧を発生させるPFC回路 (Power-Factor-Correction circuit: 力率補正回路) には、通常600 V以上の耐圧のスイッチングデバイスが要求される。オン抵抗損失の小さいSi-IGBTはスイッチング速度が遅くスイッチング損失が大きいため、30 kHz以上の高周波駆動には向いていない。

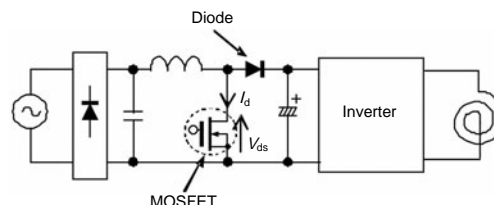
このように、家電用PEアプリケーションにおいても、高い耐圧をもち、高周波駆動が可能なスイッチングデバイスとして、SiCパワーデバイス適用の要望が高まっている。同時にPE回路としては、家庭内での他の電化製品の誤動作の原因となるノイズを防止する電磁環境適合性 (EMC: ElectroMagnetic Compatibility) も必要となる。

### 3.2 PFC回路

第7図に、今回評価を行った家電用PEアプリケーションの市販のPFC回路の概略図を示す。SMPC回路ではAC 200 VからDC 330 Vへの変換をキャリア周波数65 kHzで行った。また、Si-MOSFETとSi-PNダイオードを用いた従来回路の場合、ゲート抵抗 ( $R_g$ ) とゲート電圧 ( $V_g$ ) はそれぞれ、20  $\Omega$ 、12 Vに設定されている。

筆者らのSiC-MOSFETの損失低減効果を確認するため、第7図のPFC回路中のMOS部をSi-MOSFETからSiC-MOSFETに乗せ替えるとともに、最適なパフォーマンスを得るために、 $R_g$ と $V_{gs}$ をそれぞれ8.2  $\Omega$ 、20 Vに変更して評価を行った。

第1表に、動作条件と、2840 Wで動作させたときのSi-MOSFET、SiC-MOSFETの損失値を規格化して示す。SiからSiCに変更することにより、オン抵抗は、室温で72 % (80 m  $\Omega$  → 22 m  $\Omega$ )、150  $^{\circ}$ Cでは87 % (220 m  $\Omega$  → 29 m  $\Omega$ ) 低減することができた。デバイスが動作中に加熱されることを考えると、昇温中のオン抵抗が重要であり、オン抵抗損失が1/7以下に抑制されることが確認できた。



第7図 家電用PEアプリケーションのPFC回路概略図

Fig. 7 Schematic drawing of PFC circuit for power-electronics applications of home appliances

第1表 スイッチングデバイスの動作条件と損失値

Table 1 Operation conditions and losses of conventional Si-MOSFET and SiC-MOSFET

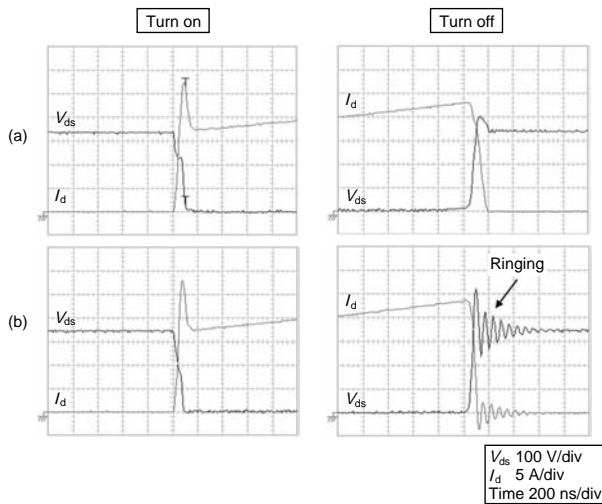
	Si-MOSFET		SiC-MOSFET	
	with Di-Diode	with Di-Diode	with Di-Diode	with SiC-SBD
Input voltage	200 V <sub>ac</sub>		200 V <sub>ac</sub>	
Output voltage	330 V <sub>dc</sub>		330 V <sub>dc</sub>	
Input power	2840 W		2840 W	
$R_{on}$	RT	80 m $\Omega$	22 m $\Omega$	
	150	220 m $\Omega$	29 m $\Omega$	
SW speed	Turn-on	50 ns	<10 ns	
	Turn-off	50 ns	<10 ns	
$R_g$	20 $\Omega$		8.2 $\Omega$	
$V_{gs}$	12 V		20 V	
Package	TO-3P		TO-220	
Total loss (normalized)	1.00		0.40	0.33
	Turn-on loss	0.22	0.18	0.11
	Turn-off loss	0.47	0.18	0.18
	$R_{on}$ loss	0.31	0.04	0.04

第8図に330 V対応PFC回路上でのターンオン、ターンオフ波形を示す。第7図に示したように $V_{ds}$ はドレイン電圧、 $I_d$ はドレイン電流である。(a)がSi-MOSFETで、(b)がSiC-MOSFETの結果である。このPFC回路においてSiC-MOSFETのスイッチング速度はSi-MOSFETに比べて速く、スイッチング損失を低減することができた。ただし、ダイオードに従来のSi-PNダイオードを用いたため、ターンオン波形で観察される逆回復時のサージ電流には、変化が認められなかった。

SiC-MOSFETのスイッチング速度が速いため、第8図に示すようにリングング発振が観察されるが、EMCノイズレベルは標準値以下に保たれていることを計測した。従来のSi-MOSFETでのエネルギー損失を1.00とすると、SiC-MOSFETにすることにより0.40まで低減することができた(第1表参照)。

また筆者らは、PFC回路のSi-PNダイオードの代わりにSiC-SBDを使用しての損失低減検討も行った。第8図(b)のターンオンのリカバリーサージは抑制され、0.07相当のリカバリー損失がSi-PNダイオードに比べて改善し、ターンオンのスイッチング損失がさらに改善された。

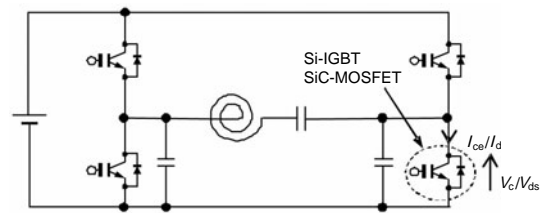
以上のように、SiC-MOSFETとSiC-SBDを搭載した家電用PEアプリケーションのPFC回路では、スイッチング素子の損失を0.33まで低減することができた。さらに、SiダイオードをSiC-SBDに変えたことによる損失低減もあり全体として実に1/3以下にまで損失を低減することができることを確認した。



第8図 PFC回路のターンオン、ターンオフ波形  
Fig. 8 Turn-on and turn-off waveforms of (a) conventional Si-MOSFET and (b) our SiC-MOSFET, on PFC circuit

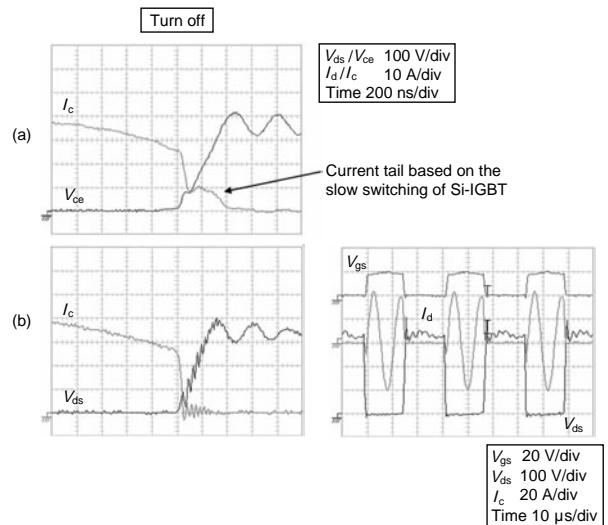
### 3.3 インバータ回路

第9図に、家電用PEアプリケーションのインバータ回路の概略図を示す。Si-IGBTとSi-PNダイオードを用いた、キャリア周波数30 kHzの市販のインバータ回路である。5600 pFのスナバキャパシタがSi-IGBTに並列に備え付けられている。また、ターンオンのために54  $\Omega$ 、ターンオフのために7.8  $\Omega$ の $R_g$ が取り付けられている。 $V_{gs}$ は18 Vである。また、図中Si-IGBTの場合は、 $V_c$ はコレクタ電圧、 $I_{ce}$ はコレクタ電流、SiC-MOSFETの場合は、 $V_{ds}$ がドレイン電圧、 $I_d$ がドレイン電流である。



第9図 家電用PEアプリケーションのインバータ回路概略図  
Fig. 9 Schematic drawing of inverter circuit for power-electronics applications of home appliances

従来のSi-IGBTをSiC-MOSFETに変更し、評価を行った。第10図に、入力電圧330 V、入力電力2560 W、キャリア周波数30 kHzのときのターンオフ波形を示す。(a)がSi-IGBT、(b)がSiC-MOSFETの結果である。大きなスイッチング損失の原因となるテール電流が、(a)のSi-IGBTでは観察され、(b)のSiC-MOSFETでは観察されていない。従来のSi-IGBT 1素子におけるトータルの損失を1.00と



第10図 インバータ回路のターンオフ波形  
Fig. 10 Turn-off waveforms of (a) conventional Si-IGBT, and (b) our SiC-MOSFET, on inverter circuit

規格化すると、Si-IGBT 1素子におけるスイッチング損失とオン抵抗損失はほぼ同等の寄与分であり、0.49、0.51となっている。これをSiC-MOSFETに置き換えることによりスイッチング損失は0.14とSi-IGBTのスイッチング損失に比べて1/3以下まで劇的に低減した。オン抵抗損失も0.51から0.31に低減したので、合計の損失は0.43となり、Si-IGBTに比べて1/2以下にまで損失を低減することが可能となった。

このように、家電用PEアプリケーションのインバータでは、従来のSi-IGBTをSiC-MOSFETに変更することにより、大幅にスイッチング損失を低減することができるようになる。

#### 4. まとめ

セルフライン二重注入MOSプロセスを用いて、SiCの縦型MOSFETを作成した。ゲート電圧20 Vでオン抵抗 / 規格化オン抵抗は、室温で $22 \text{ m}\Omega / 3.5 \text{ m}\Omega \text{ cm}^2$ 、150°Cで $29 \text{ m}\Omega / 4.6 \text{ m}\Omega \text{ cm}^2$ となった。スイッチング速度は極めて速く、ターンオン、ターンオフとも10 ns以下で動作可能である。

家電用PEアプリケーションのPFC回路を用いて、SiC-MOSFETの損失低減効果を確認した。Si-MOSFETに比べて、実に1/3以下まで抑制することができた。

同様にインバータ回路に搭載しても、スイッチング損失、オン抵抗損失を低減させることができ、Si-IGBTからSiC-MOSFETに変更することにより、スイッチングデバイスにおける損失を1/2以下にまで低減できることがわかった。

今後は、1200 V超級での高耐圧分野で、自動車用途などへの新応用展開を目指す。

#### 参考文献

- [1] Kitabatake et al., "Normally-off 1400V/30A 4H-SiC DACFET and its application to DC-DC converter," Materials Science Forum, vols.600-603, pp.913-918, 2009.
- [2] D. Peters et al., "SiC power MOSFETs - Status, trends and challenges," Materials Science Forum, vols.527-529, p.1255, 2006.
- [3] M. Kitabatake et al., "SiC-DACFET," Microelectronic Engineering, 83 p.135, 2006.

#### 著者紹介



庭山雅彦 Masahiko Niwayama  
先行デバイス開発センター  
Advanced Devices Development Center



風間 俊 Shun Kazama  
先行デバイス開発センター  
Advanced Devices Development Center



工藤千秋 Chiaki Kudo  
先行デバイス開発センター  
Advanced Devices Development Center



北畠 真 Makoto Kitabatake  
先行デバイス開発センター  
Advanced Devices Development Center  
工学博士