

# 高速伝送用ESD保護素子とその評価方法

ESD Protection Devices for High-Speed Transmission and Their Evaluations

吉岡 功一  
Kouichi Yoshioka

徳永 英晃  
Hideaki Tokunaga

柴田 修  
Osamu Shibata

井関 健  
Takeshi Iseki

## 要 旨

3種類の低容量ESD (Electro Static Discharge) 保護素子, GDT (ガス放電管), PESD (ポリマータイプESD保護素子), MOV (金属酸化バリスタ) を, TLP (Transmission Line Pulse) 法およびESDガンにより評価した。TLPによる評価から, パルスの立ち上がり時間, パルス幅に対するESD抑制挙動が3種類のESD保護素子で異なることがわかり, 同様の差異をESDガンによる評価においても確認することができた。電流量が増加しても素子電圧を低く保持でき, パルス立ち上がり時間, パルス幅依存性が低いPESDは, 高速伝送ラインのESD保護に最も適していることを明らかにした。

## Abstract

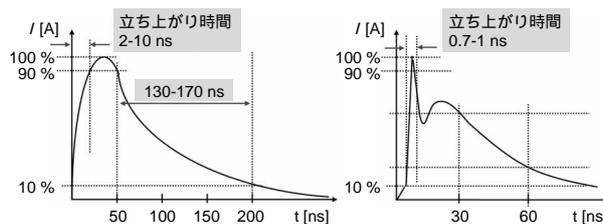
Three types of Electro Static Discharge (ESD) protection devices with small capacitance: Gas Discharge Tube (GDT), Polymer ESD (PESD), Metal Oxide Varistor (MOV), were evaluated by Transmission Line Pulse (TLP) and ESD-gun. TLP reveals these three types of ESD protection devices show different characteristics of ESD suppression and the same difference is also observed by ESD-gun. PESD is found to be suitable for protecting high-speed transmission due to its low suppression voltage and lower influence on rise time and pulse.

## 1. はじめに

デジタルテレビや携帯電話に代表されるマルチメディア機器では, 信号処理速度の向上を目的とした半導体デバイスの高速化が進み, 伝送レートの増加に対応したGHzクラスの高速度シリアルインターフェースが普及している。高速化に伴う集積度の向上や微細化は, 半導体デバイスのESD (静電気放電) 耐性をより低下させてしまうため, セットシステムに要求されるESD耐性を満足できないことがある。このような場合, あらかじめLSI内部に設けられた保護回路に加え, LSI外部にESD保護素子を配する事例が増加しているが, ESD保護素子に由来する容量は高速信号の品質劣化を招く。このため, 高速伝送においては, 高耐性かつ低容量のESD保護素子が必要となる<sup>1)</sup>。

### 1.1 ESD規格

ESD耐性の評価には, LSIなどのデバイスを単体で評価するデバイスレベルの評価方法と, デバイスをシステムに組み込んで実施するシステムレベルの評価方法とが知られている。デバイスレベルはHBM (Human Body Model)<sup>2)</sup>, MM (Machine Model)<sup>3)</sup>, CDM (Charged Device Model)<sup>4)</sup>が, 一方システムレベルでは, IEC61000-4-2やISO10605が一般的な規格である。各規格では, 充放電コンデンサ容量, 放電抵抗, および放電電流波形がそれぞれ規定されている。第1図に, HBM, IEC61000-4-2の放電電流波形を示す。



第1図 放電電流波形 (a) HBM, (b) IEC61000-4-2

Fig. 1 Current waveform specified in (a) HBM, (b) IEC61000-4-2

### 1.2 評価手法に依存するESD耐性

第1図から明らかなように, パルス幅およびパルスの立ち上がり時間は規格ごとに異なる。ESD保護素子を被保護回路に取り付け, ESD耐性を評価する際, デバイスレベルの評価とシステムレベルの評価とでは結果が相違する場合があることから, ESD保護素子のESD抑制挙動がパルス幅およびパルスの立ち上がり時間の影響を受けている可能性が高い。

ESD抑制挙動を解析するには, TLP法が有効である<sup>1), 5)-12)</sup>。パルス幅を固定したTLP法でESD保護素子の抑制能力を比較した例<sup>1), 7), 8)</sup>や, パルスの立ち上がり時間がLSI内部のESD保護回路に与える影響について検証した例<sup>9)-12)</sup>がこれまで報告されている。本論文では, 高速伝送に適した低容量ESD保護素子の解析にTLP法を用い, パルス幅およびパルスの立ち上がり時間がESD抑制挙動に及ぼす影響を社内で初めて評価した。

## 2. 評価方法

### 2.1 低容量ESD保護素子

本評価のために選定した、3種類の代表的な低容量ESD保護素子を、第1表に示す。

第1表 三種類の低容量ESD保護素子

Table 1 Three types of evaluated ESD protection devices

	サンプル	容量	@-1 dB	タイプ
GDT	CSA20-141N Mitsubishi	0.5 pF	6 GHz	クローバー
PESD	EZAEG2A Panasonic	0.1 pF	15 GHz	クローバー
MOV	EZJE1V800AA Panasonic	3.0 pF	3 GHz	クランプ

GDT (Gas Discharge Tube) は、容器内に封入された気体の放電現象を利用するESD保護素子である。

PESD (Polymer ESD) は、ポリマー内に分散させた導電粒子間の高電圧アークによりESDをグランドにバイパスする。

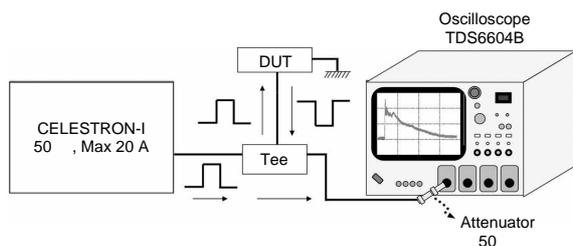
MOV (Metal Oxide Varistor) は、多数の半導体化した酸化亜鉛粒が、高抵抗層を介して部分的に接触することにより発現する抵抗値の非線形性をESD保護に応用している。

いずれのESD保護素子も両極性で反応する双方向デバイスであるが、MOVは規定された電圧値で電圧を保持するクランプタイプ、GDTとPESDとは、ある電圧(トリガー電圧と呼ばれる)に達すると回路自体を短絡するクローバータイプにそれぞれ分類することができる。

### 2.2 TLP法

TLP法の装置構成を、第2図に示す。

本体 (Thermo Fisher Scientific<sup>TM</sup>(注1) 社製CELESTRON-I) は、高圧パルスの送出を含む測定系全体の制御を担い、送出インピーダンスを50 に調整した高圧パルスを送出する。高圧パルスはTeeで分岐し、一方はパルス波形観測



第2図 TLP法の測定装置構成

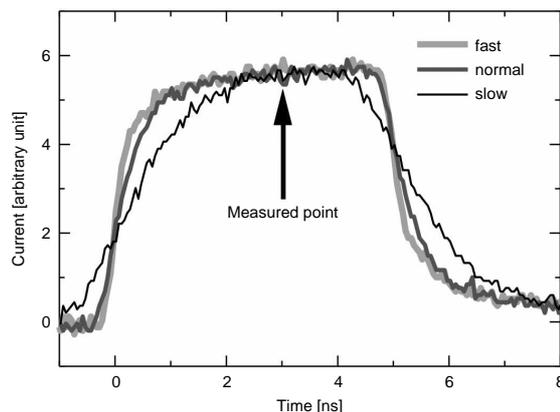
Fig. 2 TLP measurement configuration

のためのオシロスコープ (Tektronix<sup>®</sup>(注2) 社製TDS6604B、帯域6 GHz、入力インピーダンス50 )に直接向かい、もう一方はDUT (Device Under Test、対象となるESD保護素子)で反射され、同じくオシロスコープへ向かう。入力端には50 アッテネータを配して入力電圧を制限し、オシロスコープを保護している。

パルス幅は本体に取り付けられる電荷充電用の同軸ケーブルの長さに依存する。本評価では5 nsおよび100 nsのパルス幅に対応した2種類の同軸ケーブルを使用した。

パルスの立ち上がり時間は、200 ps、700 ps、2 nsの3種類のフィルタを用いて制御した。立ち上がり時間は、各装置の周波数特性により制限を受けるため<sup>9)</sup>、本論文では立ち上がり時間に関する表記をfast (min : 200 ps), normal (min : 700 ps), slow (min : 2 ns)とした。

第3図は、パルス幅が5 nsの時の電流波形図である。立ち上がり時間が異なると電流波形も異なる。パルス幅5 nsで評価する際には、電流値をそろえるため、図中矢印で示したポイントにて評価を行うこととした。



第3図 立ち上がり時間が異なる3種類のパルス (パルス幅5 ns) の電流波形

Fig. 3 Measured current waveform for 3 different rise times

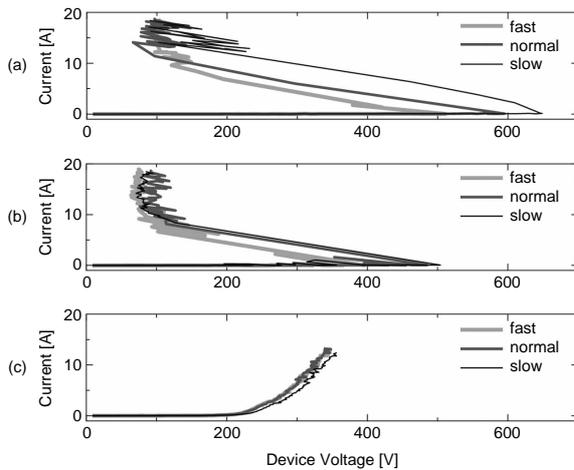
## 3. ESD抑制挙動

### 3.1 立ち上がり時間依存性

第4図は、パルス幅を5 nsに固定し、立ち上がり時間を変えて測定した各ESD保護素子のI-V特性である。印加パルス電圧値を0 Vから10 V刻みで上げ、素子の電流、電圧値を計測した。

(注1) Thermo Fisher Scientific Inc.の商標

(注2) Tektronix, Inc.の登録商標



第4図 パルス幅を5 nsとしたときのI-Vカーブ

Fig. 4 I-V characteristics of 5 ns input pulse (a) GDT, (b) PESD, (c) MOV

### 【1】I-Vカーブ形状

クローバードバイスとクランプデバイスとではI-Vカーブ形状が異なる。

GDT (第4図a) およびPESD (第4図b) の場合、印加パルスの電圧値が上昇するのに伴い、素子電圧が上昇する。このとき素子に電流は流れない。印加パルスの電圧がある一定値(トリガー電圧)に到達すると、急激に素子電圧が低下し、同時に素子に流れる電流が増加する。

MOV (第4図c) の場合、200 V付近から電流が流れ始め、連続的に電流値が変化する。

印加電圧が低い領域ではクローバードバイスはトリガーしないため、クランプデバイスが有効であるが、印加電圧が高い領域では、ESD電流が大きくても素子電圧が低い、すなわち被保護回路にかかる電圧を低く抑制することができるクローバードバイスが有利といえる。

### 【2】トリガー電圧

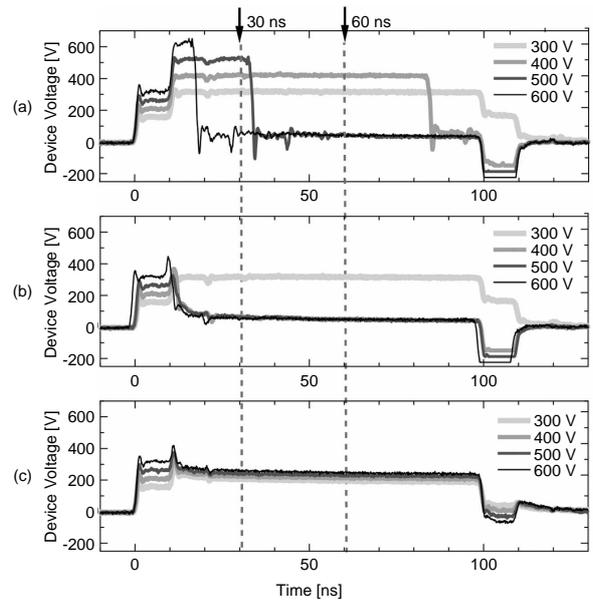
クローバードバイスのトリガー電圧は立ち上がり時間の影響を強く受ける。

MOV (第4図c) のI-Vカーブ形状は、立ち上がり時間による差異がほとんど見られないのに対し、GDT (第4図a) およびPESD (第4図b) の場合、立ち上がり時間が長いほどトリガー電圧が高くなる。

トリガー電圧を比較すると、PESDではfastが400 V、slowで500 Vである。一方、GDTではfastが500 V、slowで650 Vとなり、GDTは相対的に立ち上がり時間の影響を受けやすいといえる。

## 3.2 パルス幅依存性

立ち上がり時間をnormal、パルス幅を100 nsとしたときの素子電圧波形を、第5図に示す。



第5図 パルス幅を100 nsとしたときの素子電圧波形

Fig. 5 Device voltage waveform of 100 ns input pulse (a) GDT, (b) PESD, (c) MOV

### 【1】パルスの重畳

第2図に示したように、送出されたパルスはTeeで分岐し、一方がオシロスコープへ、もう一方はDUTへ向かう。TeeとDUTとを接続するケーブルの長さが約1 mであり、パルスがこの間を往復するのに要する時間が約10 nsである。したがって、先にオシロスコープに到達したパルスにDUTで反射されたパルスが10 ns付近で重畳される。

(1) 式は反射係数の定義式である。

$$= (Z_L - Z_0) / (Z_L + Z_0) = (Z_L / Z_0 - 1) / (Z_L / Z_0 + 1) \cdots \cdots (1)$$

$Z_L$ : 負荷インピーダンス,  $Z_0$ : 特性インピーダンス  
DUTが機能していない場合、DUTの負荷インピーダンス $Z_L$ は特性インピーダンス $Z_0$ (本評価では50 Ω)より十分高く( $Z_L / Z_0 \gg 1$ )、1となりパルスは全反射される。この結果、同相のパルスが重畳されるため、10 ns以降の電圧は高くなる。逆にDUTが機能し、 $Z_L$ が特性インピーダンス $Z_0$ より十分小さい場合( $Z_L / Z_0 \ll 1$ )、-1となり逆位相のパルスが重畳されるため、10 ns以降の電圧は低くなる。

### 【2】パルスとGDTのトリガーとの関係

GDT (第5図a) を見ると、印加パルス電圧が400 Vの場合(図中右に表示した400 Vのラインに対応)、80 ns付近から素子電圧が急激に低下しており、素子がトリガーしていることがわかる。これは、GDTがトリガーするのに要した時間が $80 - 10 = 70$  nsであることを示している。すなわち、印加パルス電圧が400 Vでパルス幅が70 ns未満

であればGDTはトリガーしない。一方、印加パルス電圧が600 Vであれば、パルス幅が10 ns未満のパルスでトリガーする。

### 〔3〕素子ごとのパルス幅依存性

第5図において、横軸は印加されるパルス幅に置き換えてみることができる。本論文では30 ns後、および60 ns後の2箇所（図中破線で表示）でI-V特性を評価した。

第6図は、各ESD保護素子のI-V特性である。

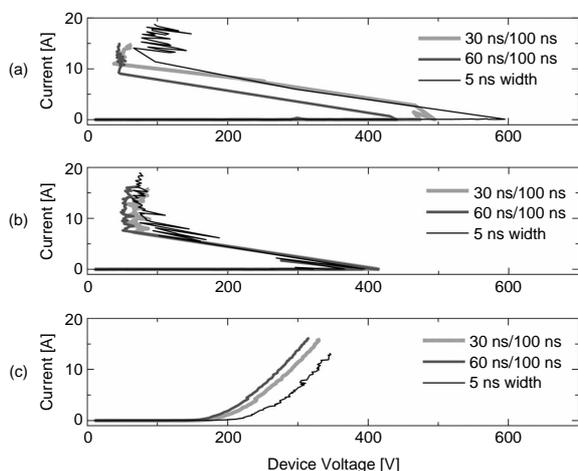
図中30 ns/100 ns, 60 ns/100 nsの表記は、それぞれパルス幅100 nsに対して、第5図で示した30 ns, 60 nsのポイントで評価したことを表している。5 ns widthは、第4図のnormalのデータを転用した。

第6図から、3つのことがわかる。

GDTのトリガー電圧は、幅の狭いパルスに対して高い。60 ns/100 nsではトリガー電圧が450 Vであるのに対し、30 ns/100 nsでは500 Vに上昇する。さらに5 ns widthでは600 Vであり、トリガー電圧のパルス幅依存性が確認できた。

PESDのトリガー電圧は、GDTと比較してパルス幅の影響を受けにくい。

MOVはパルス幅が広がるのに伴い電流が流れ出す電圧の閾（しきい）値が低下する傾向が見られる。



第6図 I-Vカーブのパルス幅依存性

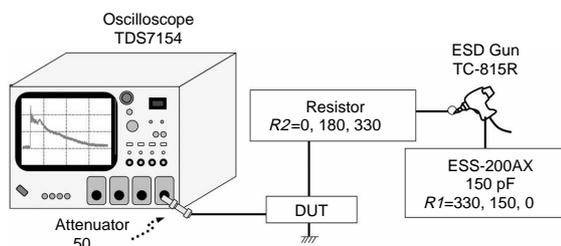
Fig. 6 Dependence of I-V characteristics on pulse width (a) GDT, (b) PESD, (c) MOV

## 4. システムレベル評価との相関

TLP法による評価から、パルスの立ち上がり時間、パルス幅がESD抑制挙動に影響を及ぼすことを確かめた。そこで、システムレベルのESD評価で多用されるESDガンで、ESD抑制挙動の差異が現れるかどうかを検証した。

### 4.1 装置構成

第7図は、ESDガンを用いたシステムレベルの評価法を表している。この方法は、オシロスコープに現れる電圧波形を通して、過電圧保護素子の減圧を評価する方法である。

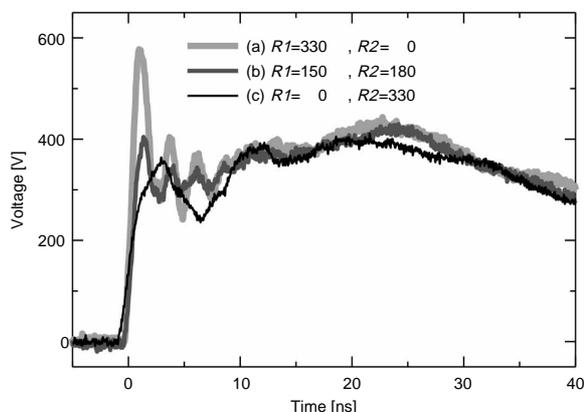


第7図 抵抗を加えたシステムレベルテストの装置構成

Fig. 7 Measurement configuration with resistor for system level test

ESD印加には市販の（株）ノイズ研究所製ESDガン（TC-815R）と同社製高圧発生器（ESS-200AX）を使用した。Tektronix社製デジタルオシロスコープ（TDS7154）（入力インピーダンス50Ω，帯域1.5 GHz）の入力端に50アッテネータを接続して、通過パルスの電圧波形を測定する。

第8図は、第7図において、印加電圧4 kV、充放電コンデンサ容量150 pFとし、DUTを取り付けない状態で得られた電圧波形である。ESDガンに組み込む制限抵抗R1に加え、外付け抵抗R2を配すると、R2の抵抗値が増加するのに伴い、ピーク部分の立ち上がり時間が遅くなることを実験的に確認している。本評価では、R1とR2との合計値がIEC61000-4-2で規定された放電抵抗の値330Ωに等しくなる3種類の条件を設定した。

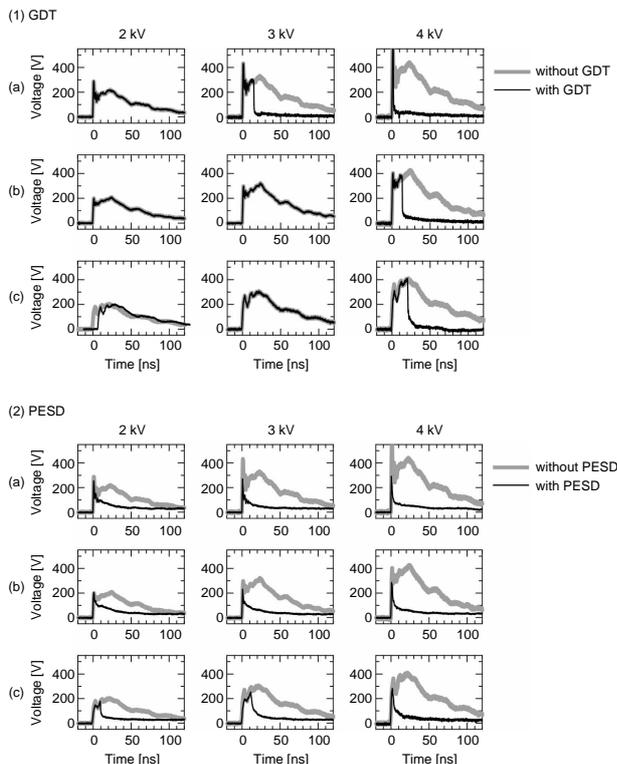


第8図 4 kV, 150 pFの接触放電時の電圧波形図

Fig. 8 Voltage waveform of contact 4 kV applied ESD with 150 pF and (a) R1=330, R2=0, (b) R1=150, R2=180, (c) R1=0, R2=330

## 4.2 ESDガンによるデバイス評価

第9図に、GDTおよびPESDのESD抑制電圧波形を示す。図中の(a),(b),(c)は、それぞれ第8図中の表記に対応している。保護素子の有無により、抑制電圧波形が変化している場合、素子はトリガーした状態にある。



第9図 電圧波形

Fig. 9 Voltage waveform of (1) GDT, (2) PESD

### 【1】GDT

(a)では、印加電圧が増加するに伴いトリガーするまでの時間が短くなるのがわかる。トリガーするまでの時間はパルスの幅に対応することから、パルス幅が狭いほどトリガー電圧が高くなることを表している。

(b)と(c)の4 kVを比較すると、トリガーするまでの平均電圧はほぼ同じであるが、トリガーに要する時間に差異が見られる。これは、立ち上がり時間の影響を受けている可能性が考えられる。

### 【2】PESD

PESDは試験条件の影響が小さい。いずれの条件においても2 kVの印加電圧でトリガーしている。ただし、(c)のように立ち上がり時間が遅い場合、印加電圧が低いとトリガーに要する時間が長くなる。

## 5. まとめ

GHzクラスの高速インターフェースに適したESD保護素子として3種類の低容量ESD保護素子(GDT, PESD, MOV)を対象として、パルス幅および立ち上がり時間がESD抑制挙動に与える影響をTLP法にて社内で初めて評価した。

I-V特性は保護素子の種類に応じて異なり、印加電圧の高い領域ではクローバーデバイスがESD抑制に有利である。立ち上がり時間はクローバーデバイスのトリガー電圧に影響を及ぼし、立ち上がり時間が遅いほどトリガー電圧が高くなる傾向にある。また、GDTではパルス幅が短いほどトリガーするのに必要な電圧が高くなる。

ESDガンを用い、実際のセットを模した条件でシステムレベルの試験を実施し、GDT, PESDの抑制挙動がTLPから予測される結果と一致することを確かめた。

高印加電圧領域におけるESD抑制特性が良好で、かつパルス依存性の低いPESDデバイスは、高速伝送用ESD保護素子として優れている。

本論文のTLP評価に関して、東京電子交易(株)の磯福氏、杉浦氏から多大なるご協力とアドバイスをいただきました。心より御礼申し上げます。

## 参考文献

- 1) K. Shrier, et al. : Transmission line pulse test methods, test techniques and characterization of low capacitance voltage suppression device for system level electrostatic discharge compliance. Proceedings of the EOS/ESD Symposium '04, 2A.4, p.88 (2004).
- 2) ED-4701-1 (JEITA), STM5.1-2001 (ESDA), JESD22-A114-B (JEDEC).
- 3) ED-4701-1 (JEITA), STM5.2-1999 (ESDA), JESD22-A115-A (JEDEC).
- 4) EDX-4702 (JEITA), STM5.3.1-1999 (ESDA), JESD22-C101C (JEDEC).
- 5) W. Stadler, et al. : From the ESD robustness of products to the system ESD robustness. Proceedings EOS/ESD Symposium 2004, p.67 (2004).
- 6) T. J. Maloney, et al. : Transmission line pulsing techniques for circuit modeling. Proceedings of the EOS/ESD Symposium, p.49 (1985).
- 7) H. Hyatt, et al. : TLP measurements for verification of ESD protection device response. IEEE Transactions on Electronics Packaging Manufacturing 24, p.90 (2001).
- 8) Lou Rector, et al. : Polymer composite varistor materials. ANTEC SPE Symposium, May 1998, p.1381 (1998).
- 9) J. E. Barth, et al. : TLP calibration, correlation, standards, and new techniques. IEEE Transactions on Electronics Packaging Manufacturing 2001, 24, p.99 (2001).

- 10 J.T. Smedes, et al. : Harmful voltage overshoots due to turn-on behavior of ESD protections during fast transients. 29th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD) 2007, 6A.4-1 - 6A.4-9 (2007).
- 11 J.G. Boselli, et al. : Proceedings of the ICM. 22nd, 2000, 1, p.355 (2000).
- 12 J. Barth, et al. : Real HBM & MM -the dV/dt threat. Proceedings of the EOS/ESD Symposium 2003, p.179 (2003).

### 著者紹介



吉岡 功一 Kouichi Yoshioka  
パナソニック エレクトロニックデバイス (株)  
回路部品ビジネスユニット  
Circuit Components Business Unit,  
Panasonic Electronic Devices Co., Ltd.



徳永 英晃 Hideaki Tokunaga  
パナソニック エレクトロニックデバイス (株)  
回路部品ビジネスユニット  
Circuit Components Business Unit,  
Panasonic Electronic Devices Co., Ltd.



柴田 修 Osamu Shibata  
PE技術開発室  
Printed Electronics & EMC Technology  
Development Office



井関 健 Takeshi Iseki  
パナソニック エレクトロニックデバイス (株)  
回路部品ビジネスユニット  
Circuit Components Business Unit,  
Panasonic Electronic Devices Co., Ltd.