

基板内ノイズ解析技術 (NoiseSCOPE) の開発

Development of Noise Analysis Methodology for High-Density Printed Circuit Boards

岩城 秀樹
Hideki Iwaki

小松 直樹
Naoki Komatsu

木下 智博
Tomohiro Kinoshita

山田 徹
Toru Yamada

要 旨

機器の発生するノイズが機器自身に障害を与える新たなEMC (Electromagnetic Compatibility) 問題 “自家中毒” の主要因となる基板内ノイズを、設計段階で解決する干渉ノイズ解析技術を開発した。従来の電磁界解析では、解析対象全体を計算する必要があるため解析時間が膨大になる課題があったが、本技術では、解析で最も重要となるノイズの伝搬経路を特定することにより、必要最小限の解析領域を自動抽出するアルゴリズムを考案した。ノイズ源となるLSIの周波数特性とノイズにより特性が劣化する受信回路の受信限界の関係を利用し、伝搬経路を探索しながら部分的な電磁界解析を駆使する独自手法を用いることで、従来の電磁界解析では1000時間以上必要であった多層基板のノイズ解析を5時間で解析できることを実証した。

Abstract

We have developed a novel methodology to analyze self-jamming noise in a high-density multilayered printed circuit board. Analysis of self-jamming noise in an analog-digital mixed PCB using traditional full-wave electromagnetic simulators requires a significant amount of computational power, time, and memory size. The methodology described herein utilizes an automatic region extraction method by identifying noise propagation paths. Calculations for complex multi layered PCBs can be efficiently performed with a PC since analytical models are simplified. We have applied this methodology to real equipment design, such as wireless modules and mobile phones. The results from a number of applications verify that the methodology can achieve simulation two hundred times faster than reference methods using traditional electromagnetic simulation.

1. はじめに

近年、モバイル機器をはじめとするデジタルネットワーク機器の開発において、小型化、高速化、高周波化によりEMCに代表されるノイズ問題が顕著になっている。そのため、ノイズ対策部品の増加によるコストの増大や、設計最終工程でのEMC対策工数の増加は、開発期間を長期化させ、開発機種数の増大に対応する際のボトルネックとなる。設計段階でノイズ問題を抑え込むことは機器開発での大きな課題となっている。とくに最近のモバイル機器では、無線回路と高性能LSIが共通の基板へ高密度に搭載され、半導体やデバイスの発生するノイズが機器自身に障害を与える“自家中毒”と呼ばれる新たなEMC問題が深刻な課題となっている。ノイズ対策工数は、設計変更要因の半分を占めるまで増加し、開発の後戻りにより設計期間やコストが増大する主要な原因となっている。

従来は、過去の経験やノウハウに基づいて試行錯誤でノイズ対策を行うため、試作と評価を繰り返してきたが、ノイズ問題を根本的に解決するには、問題発生メカニズムを解明したうえで、ノイズの発生源、伝搬経路、ノイズを受ける箇所それぞれの影響を明らかにする必要がある。最近では、電磁界解析をベースとしてノイズの伝搬経路を解析するさまざまなアプローチが試みられてい

る¹⁾⁻³⁾。しかしながら、電磁界解析を用いて自家中毒のような機器固有のノイズ問題を解決するには、機器全体をモデル化して解析する必要があり、計算時間が膨大になる。さらに開発現場では、少ない試作回数で開発を行うため、頻繁に行われる設計変更に従ったタイミングで解析結果を得る必要があり、その解析結果を機器設計へ即座に反映させることが求められる。このような理由から、従来の電磁界解析を機器開発へ適用することは事実上きわめて困難であった。

そこで、基板内における干渉ノイズを高速に解析する技術を開発し、それをもとに設計段階で運用可能な干渉ノイズ解析ツールNoiseSCOPE (Smart COupling Path Examiner)を開発した。本稿では、その解析手法とその適用事例について述べる。

2. NoiseSCOPEの解析手法

多層基板におけるノイズ伝搬経路は、ノイズ源となる部品端子から、ノイズの影響を受け誤動作しやすい受信回路などの微弱信号を扱う部品の端子 (Victim) へ配線を經由して直接伝わる場合や、配線間の干渉により間接的にVictimへ伝わる場合がある。これらの複数の要因が絡み合って起こる干渉ノイズの解析には、一般的に電磁界解析が使われる。しかしながら、既存の電磁界解析ツール

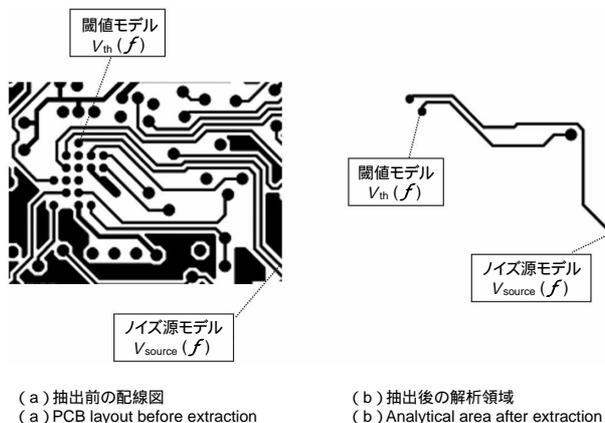
を用いて1枚の高密度多層基板を解析しようとする時、解析対象全体を計算する必要があるため、数日～数週間も期間が必要である。

そこで、本手法では、ノイズが伝搬する経路を特定することにより、必要最小限の解析領域を自動抽出するアルゴリズムを考案し、ノイズ伝搬経路を高速演算可能な高精度のモデル化を行うことで解析の高速化を実現した。本解析手法では、以下に述べるノイズ伝搬経路の抽出、高精度モデル化と高速演算、合否判定により、従来の電磁界解析ではPC数十台での並列計算が必要な高密度多層基板の大規模解析を、PC 1台で短時間かつ高精度に解析を行うことを可能とした。

2.1 ノイズ伝搬経路の抽出

解析が必要となるノイズ源からVictimまでのノイズ伝搬経路を抽出するために、ノイズ源となるLSIから出るノイズ強度の周波数特性と、ノイズにより特性が劣化する受信回路の受信限界の関係を利用して伝搬経路を探索し、伝搬経路を自動で抽出する。第1図に、その模式図を示す。第1図(a)は、ノイズ伝搬経路を抽出する前の配線パターンにノイズ源モデルと閾値モデルを設定した状態を表し、第1図(b)は、ノイズ伝搬経路を含む抽出後の解析領域を表す。

解析前の事前設定として、基板設計CAD (Computer Aided Design) において、ノイズ源となる部品やVictimの属性情報として、ノイズ特性を表すノイズ属性情報を各部品端子へ設定する。具体的には、ノイズ発生源となる部品には、端子から出るノイズ強度を周波数の関数としてノイズ源モデル $V_{source}(f)$ を設定する。また、ノイズを受ける部品についてもVictim端子へ入るノイズ強度の許容限界を周波数の関数として表す閾値モデル $V_{th}(f)$ を設定



第1図 ノイズ伝搬経路自動抽出の模式図

Fig. 1 Schematic illustrations of noise propagation path identification

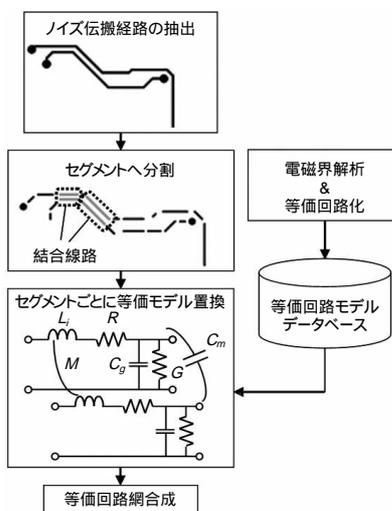
する。このような設定を解析対象となる多層基板に搭載されるすべての部品に対して行うことで、ノイズ情報が設定された部品の端子につながる配線を特定できる。そこで、Victim配線からある特定の距離だけ離れた領域内に含まれる配線を探索し、その領域内に一部でも含まれる配線のうちノイズ源につながる配線のみを選択することで、それらの配線同士が近接する干渉領域を含んだ、ノイズが伝搬する経路として自動抽出することができる。このようなアルゴリズムにより、多層基板全体をモデル化することなく解析に必要な最小限の領域を抽出することが可能となる。

2.2 高精度モデル化と高速演算

次に、自動抽出したノイズ伝搬経路の周波数特性を高精度かつ高速に演算する方法について説明する。演算は、高精度モデル化による回路網合成とデータベース化の2つのプロセスの組合せで行う。以下、それぞれのプロセスについて説明する。

〔1〕高精度モデル化による回路網合成

第2図に、高精度モデル化と高速演算を行う処理過程を示す。解析領域として配線パターンからノイズ伝搬経路を抽出した後、配線の断面構造が異なる箇所をセグメントに分割する。分割したセグメントは、あらかじめ配線の断面構造に応じて作成したデータベースを参照し、等価回路モデルへ置換する。分割後のセグメントは、片端から他端まで均一な断面構造をもつため、分布定数線路モデルと呼ばれる高精度な等価回路モデルとして取り扱う。配線の途中に部品がある場合、部品の周波数特性を任意に表現できるSパラメータを用いたモデルに置換する。



第2図 高精度モデル化と高速演算の処理過程

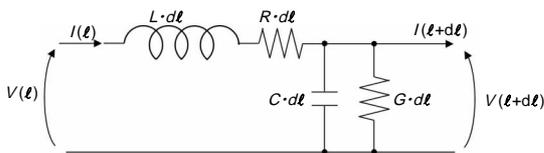
Fig. 2 Schematic illustrations of process flow diagram

最後に置換したすべてのモデルを合成することで、等価回路網を作成し伝搬特性を計算する。これにより、任意形状のノイズ伝搬経路の特性を高速に演算できる。

【2】データベース化

次に、高精度なモデルを生成するデータベースについて説明する。データベースに蓄積する配線の等価回路モデルは、モーメント法による電磁界解析を用いて計算した周波数特性を忠実に再現する分布定数線路モデルである。さまざまな断面構造の配線について、周波数特性を解析した結果と等価回路モデルの特性が等しくなるよう素子値をフィッティングにより求めデータベース化している。これにより、高精度な等価回路モデルをライブラリとして参照し、ノイズ伝搬経路の特性を高精度に計算できる。以下、具体的なデータベース化方法について述べる。

信号が伝搬する方向に一樣な断面構造をもつ配線の特性は、第3図に示す微小線路に流れる電流と電圧の関係についての電信方程式を解くことによって得られる。



第3図 微小線路長の等価モデル
Fig. 3 Equivalent circuit model per unit length of transmission line

その配線の電流と電圧の関係は、伝搬定数と特性インピーダンス Z_0 を用いて次のように表現できる。

$$\begin{bmatrix} V(\ell) \\ I(\ell) \end{bmatrix} = \begin{bmatrix} \cosh \gamma \ell & Z_0 \sinh \gamma \ell \\ \frac{1}{Z_0} \sinh \gamma \ell & \cosh \gamma \ell \end{bmatrix} \begin{bmatrix} V(\ell + d\ell) \\ I(\ell + d\ell) \end{bmatrix} \dots\dots\dots (1)$$

ℓ は配線長である。さらに、伝搬定数と特性インピーダンス Z_0 は単位長さあたりの抵抗 R 、インダクタンス L 、並列コンダクタンス G 、静電容量 C と角周波数 ω を用いて次のように表すことができる。

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \dots\dots\dots (2)$$

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \dots\dots\dots (3)$$

1本の配線の場合は、断面構造が同じ配線に対して(1)式から(3)式を用いて、配線長や周波数に依存しない共通の $R L G C$ 値をパラメータとしてデータベース化している。

次に、結合線路と呼ばれる2本の平行な配線のモデル化について説明する。結合線路の特性は、信号が伝搬する際の電磁界分布の対称性から偶モードと奇モードと呼ばれる固有の伝搬モード別にモデル化することができる⁴⁾⁵⁾。それぞれの伝搬モードは、各伝搬モードごとに1本の配線と同様に伝搬定数と特性インピーダンスを用いて、配線の特性を次のように表現できる。

$$\gamma_{e,o} = \sqrt{(R_{e,o} + j\omega L_{e,o})(G_{e,o} + j\omega C_{e,o})} \dots\dots\dots (4)$$

$$Z_{e,o} = \sqrt{\frac{R_{e,o} + j\omega L_{e,o}}{G_{e,o} + j\omega C_{e,o}}} \dots\dots\dots (5)$$

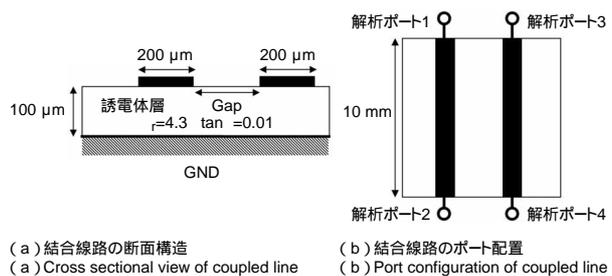
(4)式と(5)式において、サフィックス e は偶モード、 o は奇モードを表す。結合線路の等価回路モデルは、偶モードと奇モードそれぞれの $R L G C$ 値をパラメータとしてデータベース化することで任意の配線長や周波数における特性を表すことができる。この方法によりデータベースを蓄積することで、セグメント化された配線は電磁界解析を実行した結果に等価な高精度なモデルとして取り扱うことができる。

第4図に、モデル化した結合線路のSパラメータの周波数特性について、電磁界解析結果との比較を示す。 S_{ji} はポート i から入力した信号がポート j へ出力する特性を表す。モデル化した結合線路の特性は、すべての特性について10 GHzまでの広帯域にわたって非常に良く一致しており、電磁界解析結果を忠実に表す高精度なモデルであることがわかる。

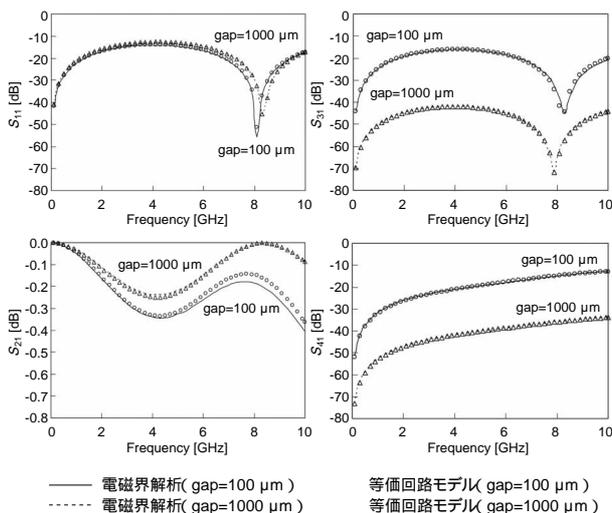
以上のように、高精度モデル化による回路網合成とデータベース化の処理を行うことでノイズ伝搬経路の特性を高速かつ高精度に演算することができる。

2.3 合否判定

最後のアプローチである合否判定では、抽出した経路のノイズ伝搬特性に加え、ノイズ源モデルの周波数特性とVictim端子の許容限界特性を表す閾値モデルを使って、設計した配線パターンにおいてノイズによる問題が発生するか否かを判定する。第5図に、合否判定の概略を示す。ノイズ源のノイズ強度 V_{source} と経路の伝搬特性 S_{21} の積をとることで、ノイズを受ける部品端子に入るノイズ量 V_{victim} を計算する((6)式)。そしてノイズ量 V_{victim} と閾値 V_{th} とをノイズ源に含まれるすべての周波数にわたって比較し合否を判定する((7)式,(8)式)。 V_{victim} が V_{th} を超える周波数が一部でもある場合、判定結果をNGとして出力する。とくにNGの場合、ノイズ伝搬経路を等価回路モデルに置換する際に配線間で干渉が発生するセグメントの干渉量がわかることを用いて干渉の影響が大きい問題箇所



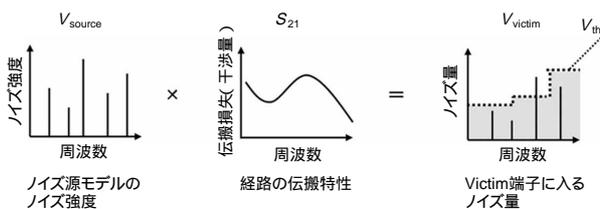
(a) 結合線路の断面構造 (b) 結合線路のポート配置
(a) Cross sectional view of coupled line (b) Port configuration of coupled line



(c) Sパラメータの比較結果 (c) Comparison of S parameters

第4図 等価モデルと電磁界解析結果の比較

Fig. 4 Comparison of equivalent circuit models and electromagnetic simulation



第5図 合否判定の概略

Fig. 5 Pass-fail decision process

を容易に特定できる。

$$V_{source}(f) \times S_{21}(f) = V_{victim}(f) \dots\dots\dots (6)$$

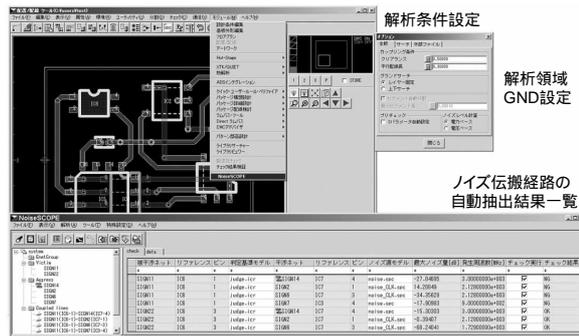
$$V_{victim}(f) \leq V_{th}(f) \dots\dots\dots (7)$$

$$V_{victim}(f) > V_{th}(f) \dots\dots\dots (8)$$

f: 周波数, V_{source} : ノイズ源モデルのノイズ強度
 S_{21} : 経路の伝搬特性,
 V_{victim} : Victim端子に入るノイズ量,
 V_{th} : 閾値モデルの許容限界値

2.4 基板設計CADとの連携

本解析手法に基づいて、設計段階で運用可能な干渉ノイズ解析ツールNoiseSCOPEを開発し、(株)図研製 基板設計CADシステム (CR-5000 Board Designer) に組み込んだ(第6図)。基板設計から解析実行、結果の確認、配線パターン修正までの一連の操作を共通のCAD環境でシームレスに行うことができる。

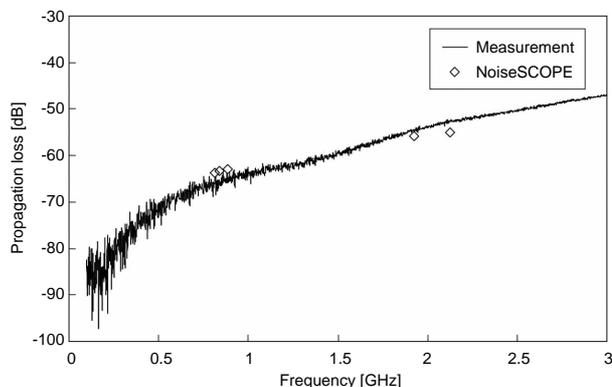


第6図 干渉ノイズ解析ツールの概要

Fig. 6 Overview of noise analysis tool

3. 解析精度の検証

本手法における解析精度を検証するため、実際の製品に使われる携帯電話用の8層基板を用いて、実測とNoiseSCOPEによる解析結果の比較を行った。評価は、実際の動作状態に近い状態で評価するため、測定端子となるノイズ源部品とVictimとなる部品のみを基板から取り除き、それ以外の部品は基板に実装した状態でノイズ伝搬経路の伝搬特性を評価した。実測は、ネットワークアナライザを使って100 MHzから3 GHzの周波数範囲で測定した。測定周波数における伝搬特性の比較結果を、第7図



第7図 解析結果と実測との比較

Fig. 7 Comparison of simulation and measurement

に示す。実測と解析結果の差は、800 MHz帯と2 GHz帯で2 dB以下であり、設計段階で運用できる十分高精度な解析結果が得られることを確認した。

4. 適用事例

次に、開発した技術を製品開発へ適用した事例として、無線モジュール（12 mm × 10.2 mm）に適用した例について説明する。無線回路に及ぼすデジタル信号などのノイズの影響を抑制するため、従来内層に電源やグランドプレーンを設けた6層基板で設計される構成であった。適用対象としたものは、薄型化と低コスト化のため電源やグランドプレーン層を削減した4層基板を用いて新たに設計したノイズの抑制が課題となるものに対して解析を行った。

4.1 ノイズ伝搬経路の抽出

無線モジュールの送受信特性に影響を及ぼすノイズ伝搬経路を抽出するために設定したノイズ源モデルと閾値モデルを、第1表に示す。ノイズ源モデルはクロック信号端子をはじめとして15端子に設定し、閾値モデルは無線信号の送受信端子など38端子に設定した。その結果、ノイズ源モデルと閾値モデルを設定した配線同士が近接する領域を自動抽出し、問題が発生する可能性がある119箇所を抽出した。

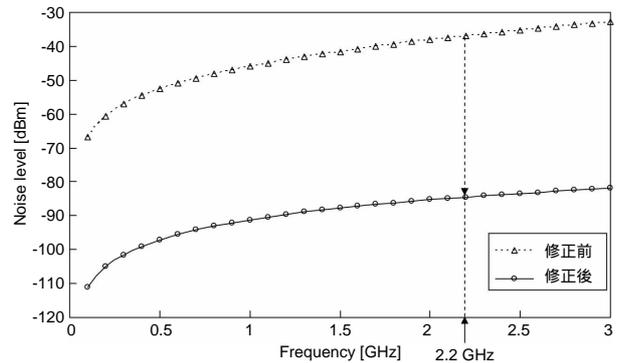
第1表 ノイズ源モデルと閾値モデルの設定

Table 1 Analysis conditions of noise source models and threshold models

ノイズ源モデル		閾値モデル	
ノイズ源の端子種類	設定端子数	Victimの端子種類	設定端子数
クロック信号端子	15	無線信号送受信端子	38
デジタル信号端子		アナログ回路用電源端子	
ロジック回路用電源端子		制御端子	

4.2 Victimに伝搬するノイズ量

次に抽出した119箇所を含むノイズ伝搬経路の特性を計算し、Victimに伝わるノイズ量を計算した。第8図は、ノイズ源に設定したクロック信号が無線回路の受信端子へ伝搬するノイズ量を表す。ノイズ源モデルは、100 MHzから3 GHzの周波数においてノイズ強度が0 dBm一定として計算した。その結果、受信周波数の2.2 GHzにおいて受信端子に入るノイズが-36.9 dBmであることがわかった。



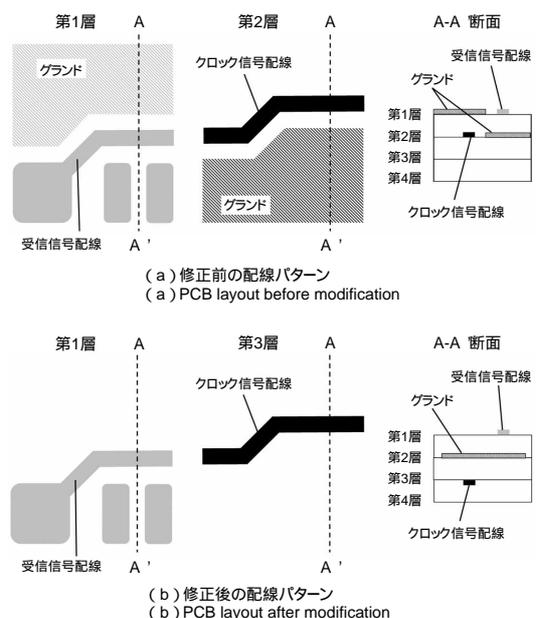
第8図 受信端子へ伝搬するノイズ量の解析結果

Fig. 8 Calculated noise level

4.3 合否判定による問題箇所特定と配線パターン修正

解析の結果、合否判定においてNGとなった問題箇所を特定し、配線パターンの修正を行った。問題箇所の特定は、セグメントごとの等価回路モデルからセグメント単体の干渉量を計算しているため、問題となる最も干渉量の大きいセグメントを容易に特定できる。抽出した問題箇所の代表例として、前項で示したクロック信号が無線回路の受信配線に干渉する例について説明する。第8図で示したように、設計後の解析では閾値モデルとして受信周波数において設定した閾値-80 dBmを大幅に超えていたため、問題箇所を特定し配線パターンの修正を行った。修正前後の配線パターンを、第9図に示す。

第9図(a)に示すように、特定した問題箇所では、第2層のクロック配線は上下と横方向にグランドが配置され、



第9図 無線モジュールへの適用事例

Fig. 9 Schematic illustrations of application example for RF modules

周囲をグラウンドで囲まれた構造であった。断面構造を見ると受信信号配線の斜め下に近接してクロック信号配線を配置していたことがわかり、この部分が干渉の原因であることが明らかとなった。そこで、第9図(b)に示したように、クロック信号配線を第3層に移動し第2層にグラウンドを設けることで、クロック信号配線から干渉するノイズ量を低減する構成に修正した。その後、再度解析を行い、第8図に示す修正後の結果を得たことで受信周波数におけるノイズ量が -84.5 dBm に抑制できることを確認した。

4.4 解析規模に対する処理時間の関係

本解析手析における処理時間は、適用する基板の大きさや配線密度により変化する解析規模の影響を受ける。無線モジュールに適用した事例では、ノイズ伝搬経路の抽出から合否判定までの処理時間は5分37秒であった。一方、大規模解析への適用事例では、従来の電磁界解析ツールによる解析では1000時間以上必要となる解析規模である携帯電話用の高密度多層基板(8層基板, 98 mm × 43 mm)において、Pentium4 - 3 GHzのPCを用いて5時間で基板全体が解析できた。

以上のように、製品開発へ適用した事例では、試作前に問題箇所を特定し配線パターンの修正を行ったことにより、試作後の評価ではノイズによる干渉問題は発生せず、従来数回の試作が必要であった無線特性の確保を、1回の試作で実現することができた。

5. まとめ

新しい自家中毒ノイズを設計段階で解析するため、ノイズ伝搬経路を特定する新しいアルゴリズムに基づいて解析する基板内ノイズ解析技術を開発した。

ノイズ伝搬経路の自動抽出と高精度モデル化による高速演算技術を組み込んだノイズ解析ツールを開発し、製品開発に適用した結果、従来の電磁界解析では1000時間以上必要であった多層基板のノイズ解析を5時間で解析できることを実証した。

また、ノイズ問題を設計段階で事前に対策することにより試作回数を低減し、開発期間を短縮できることに加えて、小型・薄型化の実現や設計品質の向上にも有効なツールであることを確認した。

本解析技術は、携帯電話と同様に機器内のデジタル/アナログ回路間のノイズ干渉(自家中毒)が問題となるデジタルネットワーク機器の開発に広く応用可能である。

参考文献

- 1) K. Araki, et al. : What-if analyses of multi-layer PWB embedded in the digital still camera with parallel-distributed FDTD-based simulator "BLESS". Proceedings of Electrical Performance of Electronic Packaging, pp.169-172 (2003).
- 2) K. Bharath, et al. : Signal and power integrity co-simulation for multi-layered system on package modules. Proceedings of IEEE International Symposium on Electromagnetic Compatibility, pp.1-6 (2007).
- 3) E. Engin, et al. : Finite-difference modeling of noise coupling between power/ground planes in multilayered packages and boards. Proceedings of the 56th Electronic Components and Technology Conference, pp.1262-1267 (2006).
- 4) D. F. Williams, et al. : Multiconductor transmission-line characterization: Representations, approximations and accuracy. IEEE Trans. Microwave Theory Tech., No.4, pp.403-409 (1999).
- 5) D. Han, et al. : Frequency-dependent RLCG extraction for a pair of coupled transmission lines using measured four-port S-parameters. 63rd ARFTG Conference Digest Spring, pp.211-219 (2004).

著者紹介



岩城秀樹 Hideki Iwaki
PE技術開発室
Printed Electronics & EMC Technology
Development Office



小松直樹 Naoki Komatsu
PE技術開発室
Printed Electronics & EMC Technology
Development Office



木下智博 Tomohiro Kinoshita
PE技術開発室
Printed Electronics & EMC Technology
Development Office



山田 徹 Toru Yamada
PE技術開発室
Printed Electronics & EMC Technology
Development Office