

設計技術としてのEMC：課題と展望

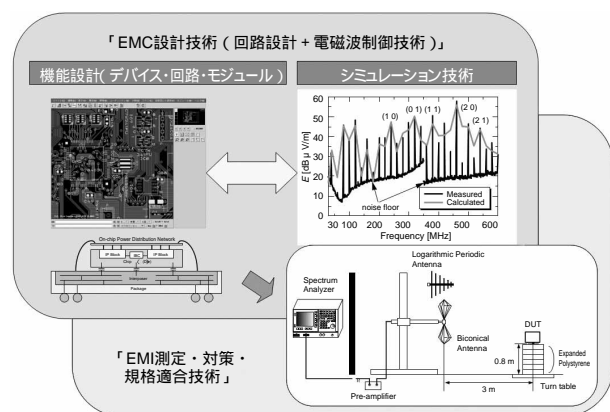


京都大学大学院
工学研究科 電気工学専攻
教授 和田 修己

今日、携帯電話や無線LAN・パソコン・デジタル家電など、デジタル機器と通信が融合した環境が普及している。デジタル機器には多くの集積回路（IC：Integrated Circuit）が使用され、数100万個以上のトランジスタが1ナノ秒（ 10^{-9} s）以下の時間で高速スイッチング動作している。また、カーエレクトロニクスや家電製品のパワーエレクトロニクスでも、デバイスの高機能高速化が進んでいる。これらの機器を周囲の機器や回路に干渉を起こすことなく正常に動作させるためには、デバイスや回路基板の高周波設計や電磁雑音低減設計、すなわちEMC設計（Electromagnetic Compatibility Design）が必須である。もちろんEMCには、「不要電磁放射の低減」に加え、「他からの電磁妨害（伝導性妨害や誘導や空間結合による放射性妨害、静電気放電など）に対する電磁耐性（イミュニティ：immunity）向上」も含まれる。

従来、EMC技術は製品開発後のノイズ対策・EMI（Electromagnetic Interference）対策という観点で語られることが多かったが、問題発生後の事後対応は今日の高性能化した機器では非常に困難で、かつコスト面・時間面からも「設計段階でのEMC品質の向上」の必要性が認知されるようになって久しい。

本稿では、改めて「設計技術としてのEMC」についての現状と、課題・展望について述べてみたい。



DUT: Device Under Test

第1図 EMC設計技術とEMC規格適合技術

1 「EMC技術」の位置づけ

最初に、「EMCは品質保証技術か？機能実現設計技術か？」について述べたい。これは当然、両方である、と答えるべきであるが、問題は「果たして設計技術と呼べるかどうか」ということが問われる。

多くの企業の実例を見ると、現在も、回路や機器・システム設計の部署とは別に、品質保証・規格適合のためのEMC測定評価を専門とする部署をもつ例が多い。昨今は、第1図に示すように「EMC（EMI）測定・評価とEMC設計は車の両輪」との認識をもつようになってはいるが、なかなかこの両者を一体運営することは難しい。

1.1 「EMI対策技術」からの脱却

EMC問題の難しさには、幾つかの理由がある。まず1つには、良く知られているEMI測定における不確かさ、があげられる。また第2に、EMC問題の発生要因に対する十分な理解の不足がある。これらは、不要放射や結合が非意図的であり、些細な寄生的要素に左右されやすいことに起因する。

しかし、多くの場合には不要放射発生のメカニズムや結合経路については既に解明されており、システムティックな学習により理解し、問題解決につなげることができる。ただし、その前提として、学習者はEMC品質向上の実現が「ノイズ対策技術」ではないことを理解しなければならない。「発生理由はよくわからないが、フィルタやパスコンでノイズは低減できるはずだ」という取り組みを始めると、これは無駄も多く再現性も悪く、「設計」と呼べるものにはならない。「測定 対策」ではなく、せめて「測定 解析（または現象理解） 対策（および定量評価）」とすべきである。この「理解」と「定量評価」が、従来のポストプロセスとしてのEMI対策から、EMCのプレデザイン（EMC設計）へとつなぐ糸口となる。

筆者は、企業エンジニアを対象としたEMC専門知識養成講座において、「EMC設計技術」の講義の一部を担当している¹⁾。そのなかで、伝導性および放射性の電磁雑音（EMI）の発生機構について、非常に単純な電気回路と電

磁気学的な扱いを通じて、キャパシタ、インダクタ、電源供給系とグラウンド系の設計、伝送線路と共通モードなどにつき、解説を試みている。

1.2 「機能実現設計」としてのEMC技術

従来、「環境電磁工学としてのEMC」、あるいは「電磁環境の制御・計測技術」という考え方がある。これは歴史的に見ると、EMCが「放送波、あるいは無線通信の保護、放送・通信の品質確保」という目的をもっていたことによると考えられる。そのために、CISPR (Comite International Special des Perturbations Radioelectrique : 国際無線障害特別委員会) などのEMC規格が作られ、規格適合(あるいはコンプライアンス)のためのEMC測定とEMI対策が行われてきた。

しかし、よく知られているように、現在のEMI規格やEMC測定法の多くは、アナログ信号、アナログ放送・通信のためのものであり、ノイズに対するアナログ機器の応答特性や人間の感覚に適應した評価法となっている。たとえば、平均値検波や準尖頭値(QP: Quasi-Peak)検波がそうである。

ところが、今日のシステムは多くがデジタル化されている。また、外来の電磁雑音に対するその特性は、アナログ機器のそれとは大きく異なる。言い換えると、従来のアナログシステムのノイズ感受特性は「狭帯域の信号分に対する周波数領域での評価」となっているのに対し、デジタルシステムでは「広帯域の時間領域信号分に対する妨害の評価」が重要となる。したがって、本来の意味での「電磁的両立性(Compatibility)としてのEMC技術」の確立のためには、「妨害のメカニズムに対応したノイズ評価法、ノイズ低減技術」が必要となる。

その良い(悪い?)例が、いわゆる「スペクトラム拡散クロック(Spread Spectrum Clock: SSC)」である。これは、パーソナルコンピュータ(PC)やマイクロコントローラ(マイコン)のクロック信号の周波数を意図的に周波数変調する技術であり、可聴周波数より若干高い周波数でクロック信号を揺ることにより、スペクトラムアナライザで観測した「見かけ上の」ピークレベルが低減されるが、文献²⁾に明確に書かれているように「クロック高調波の電力を低減するわけではなく」、また「無線システムへの影響の低減を必ずしも意味しない」のである。すなわち、計測器はだまされるが、無線システムはだませない。また、場合によっては、Bluetooth[®](注)などの場合SSCによりパフォーマンスが低下する³⁾。

このような、単なるEMI規制適合のための技術を使うのではなく、デジタル放送・通信に対する電磁妨害を的確に評価し、「機能実現設計」を行うことが、デジタルシステムに対する真のEMC技術である。

2 「設計技術としてのEMC」とは?

機能実現設計のためのEMC技術とは、従来はどちらかと言うと回路やシステム設計における「ノウハウ」あるいは職人技との理解が多かったように思われる。しかし、今日のEMC問題解決のためには、単なるノイズ問題を越えて、高速信号伝送や無線伝送・デジタルシステム・信号処理などの複合した系における「電磁結合による干渉問題の把握と制御」が必要であり、そういった意味での「EMCエキスパート」の育成が必要である。前述のように、「EMI対策」と「EMC設計」は車の両輪であり、これを今日的な技術の上に据えてゆくことが現在必要なEMC技術である。さらに加えて、技術的優位を保つための国際規格、特許・知財の確保など、EMC技術は総合技術であることが理解できる。

EMC設計技術は、「電磁的に周囲環境や他のシステムと干渉せずにシステム性能・機能を実現する技術」である。さらに、最近のデジタル家電機器やマルチメディア機器、携帯電話などは、自分自身の中に複数の異なる機能ブロック、たとえばデジタルの信号処理系と高周波アナログブロックをもつので、他のシステムとの関係だけではなく、システム内の複数機能をEMC的に共存させる必要がある。ここではその例を、いくつか示す。

2.1 デジタル時代のEMC: SI/PI/EMC

デジタルシステム全盛となり、信号に対する妨害の考え方が周波数領域から時間領域へと大きく移ったことは、前に述べたとおりである。したがって、信号品質を確保する技術に関しても、考え方が大きく変わりつつある。「信号が(実用的に)理想に十分近いこと」を「シグナル・インテグリティ(Signal Integrity: SI, 信号完全性)」と呼ぶ。従来のアナログ高周波信号に対するSIの劣化要因は、たとえば「隣接配線間のクロストーク(漏話)」がある。これは隣接信号間だけではなく、たとえば高周波信号配線に隣接して配線されるスイッチング回路の電流の結合も含まれる。多くの場合、クロストークや誘導は、周波数領域の特性として議論され、あるいは時間領域の信号波形のシミュレーションが行われる。

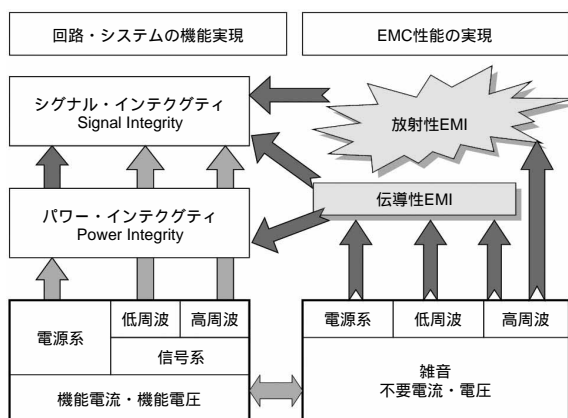
これに対し、デジタル回路の信号の場合、時間波形そのものよりも「信号の状態遷移のタイミング」の変化、すなわち「ジッタ」の方がより重要である。したがって、信

(注) Bluetooth SIG, Inc. の登録商標

号波形に直接結合が重畳されなくても、CMOS-LSI (Complementary Metal Oxide Semiconductor LSI) の電源電圧変動が論理閾(しきい)値を変動させ、これにより発生するジッタについても、議論されている。

シグナル・インテグリティに対応して、「電源電圧が(実用的に)理想に十分に近いこと」すなわち「電源電圧の変動が十分小さい」ことを、「パワー・インテグリティ (Power Integrity : PI, 電源完全性)」と呼ぶ。

第2図に示すように、回路やシステムの開発の際には、まず機能を実現するための機能電流・電圧が設計される。次に、この回路やシステムの動作が雑音や不要な電流電圧を発生させる。従来のEMCでは、この結果発生する伝導性あるいは放射性のEMIを評価して終わりであった。しかし、今日の設計においては、この不要電流・電圧によるエミッションと同時に、その結果発生する電源系の問題(PI問題)と信号系の問題(SI問題)を合わせて議論することが必要になる。



第2図 機能実現設計とEMC

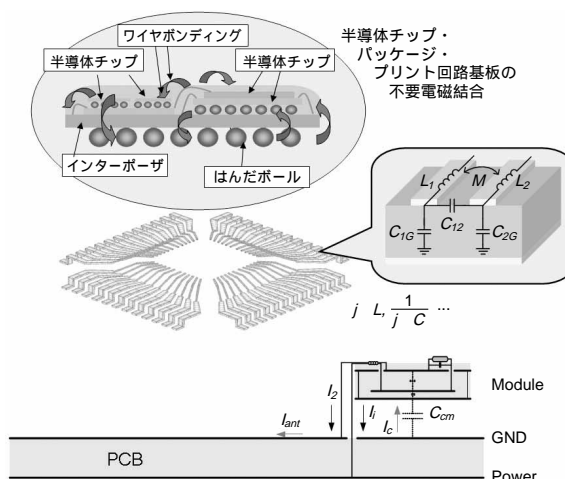
2.2 デジタルとRFの両立：携帯電話のEMC，無線LAN
 情報端末としての携帯電話は、高周波 (Radio Frequency : RF) の無線通信回路とデジタルが融合した、複雑かつノイズ感受性の高いシステムである。そのEMC問題は、デジタル回路からRF回路への干渉、いわゆる「自家中毒」が問題とされる。携帯電話のEMCに関しては、新しい時間領域のノイズ測定法である「振幅確率分布 (APD : Amplitude Probability Distribution)」測定が有効であり、ビットエラーレート (BER : Bit Error Rate) とAPDの相関が高いことが示されている²⁾。

先に1.2節で述べた「スペクトラム拡散クロック」による無線システムへの電磁妨害は、APD測定により評価することができる。おなじく、デジタル無線通信を行う無線LANに対する電子レンジの電磁妨害に関して、APD測

定による方法がCISPR 16-1-1規格に規定された⁴⁾⁵⁾。実は無線通信だけでなく、有線のデジタル通信、たとえばADSL (Asymmetric Digital Subscriber Line) についてもAPDによる評価が有効であり、このような統計的指標を用いたEMC測定評価が、今後ますます重要となって行くと考えられる。

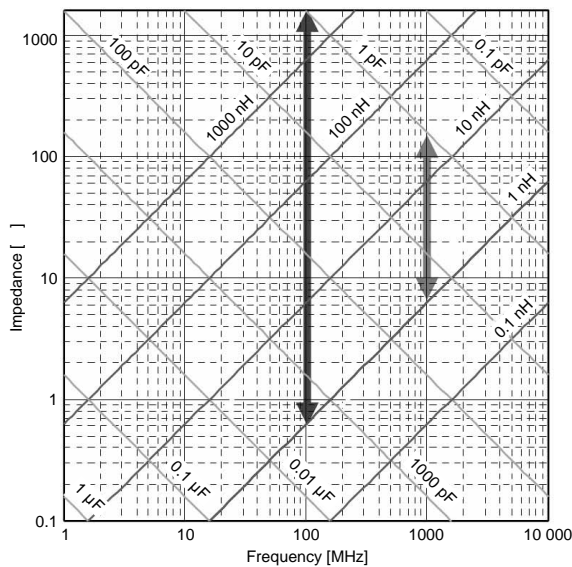
2.3 高速高周波時代のEMC

半導体デバイスの動作速度が向上し、実効的な動作周波数が上昇している。そのために、従来は問題とならなかった非常に小さいインダクタンス・キャパシタンスが回路特性に影響を与える。特に、第3図のようなパッケージやボードの寄生インダクタンス・キャパシタンスにより共振が発生すると、全体の特性が大きく変わってしまう。



第3図 寄生インピーダンスによる不要電磁結合

第4図に、インダクタンスとキャパシタンスの周波数特性チャートを示している。たとえば100 MHzにおいては、寄生のインダクタンスが1 nH以下 (0.6 以下), 寄生容量が1 pF以下 (1.6 k 以上) であれば通常の回路設計においては寄生インピーダンスを無視して差し支えない。しかし1 GHzでは同じ寄生インダクタンス・キャパシタンスにより、回路としては10 ~ 100 の範囲を越えると寄生インピーダンスが支配的となる。さらには1 nHと1 pFの組み合わせで5 GHzに寄生の共振が発生してしまう。たとえば、第3図下に示すICパッケージやモジュールとプリント回路基板 (PCB : Printed Circuit Board) 間に発生する数pFの寄生容量がパッケージ・インダクタンスと共振が発生するときに、放射性EMIが20 dB以上増大する現象が見つかっている⁶⁾。これらの寄生結合をどう制御してゆくかは、大きな問題である。



第4図 インダクタンス・キャパシタンスと共振

2.4 半導体チップ、LSIの中のEMC

電氣的信号処理の高速化と回路の高集積化は、ほとんどの電子回路を半導体チップの中にも実現してしまった。ワンチップの中にデジタル回路とアナログ回路、さらには高周波（RF）まで集積したLSIがたくさん使用されている。LSIの高速化と低消費電力化のトレンドは、LSI電源の低電圧化を要求し、今やLSIはGHz帯の動作とmVクラスのノイズ感受性を併せもっている。

デジタルLSIや電源用スイッチングIC、インバータなどのスイッチングによる電氣的ノイズは、チップの高速化により大きな電磁雑音を発生し、回路上の伝導性伝搬だけでなく電磁結合によるノイズ伝搬を引き起こし、回路や機器のEMC的な性能劣化を引き起こす。したがって、この「潜在的かつ本質的ノイズ源」のEMC特性を根本的に把握すべきだという考え方から、半導体集積回路のEMC研究が行われている⁷⁾⁸⁾。

現在は「半導体EMC特性」の評価と制御が行われており、国際的にはIECのSC47Aにおいて「集積回路のEMC測定法(WG9)」および「集積回路EMCのモデリング(WG2)」に関する標準化が行われている。また、上記の日本国内委員会を兼ねて、JEITA (Japan Electronics and Information Technology Industries Association, (社)電子情報技術産業協会)において「半導体EMC特性サブコミッティ」が活動している。ここでは、伝導性および放射性的のエミッションおよびイミュニティの測定法の規格化と、EMC特性シミュレーションのための集積回路のマクロモデル(ICEM (Integrated Circuit Emission Model), ICIM (Integrated Circuit Immunity Model))の標準化に関する議論が継続中である。また、ICEMを用いたLSIから回路基板

(PCB: Print Circuit Board)までのシミュレーション技術も進展を見せており、近い将来、実際の回路設計への適用が進むものと期待される。

2.5 自動車のEMC

現在の標準的な乗用車には、50から100個のマイクロコントローラが各種の電子制御回路(Electronic Control Unit: ECU)に使用されている。ECUの発生する電磁雑音がFM帯・AM帯のラジオノイズとなり、この低減設計は重要なEMC設計の分野である。また、安全のための技術として、外来の電磁妨害に対する回路とシステムの耐性(イミュニティ, immunity)に対する要求は、自動車産業界では非常に高い。

実は前項で述べた「半導体チップのEMC」の測定とモデル化を先導しているのは、自動車産業界である。ヨーロッパではBosch (Robert Bosch GmbH), Infineon Technologies AG, Siemens VDO社の3社が共同して策定した半導体素子のEMCに関する共通仕様(BISS)⁹⁾が存在し、この仕様の多くがIEC規格に盛り込まれている。

さらに、昨今の電気自動車(EV)へのトレンドは、EMC設計の新たな領域を広げている。パワーエレクトロニクス機器に使用される半導体の高性能化により、従来は1 MHzに達しなかったパワエレ系の電磁雑音が、今日では30 MHzに達し、さらに将来はVHF (Very High Frequency)帯にも広がると予想されている。

3 おわりに：EMC技術への期待

本稿では、設計技術としてのEMCに焦点を当て、現在進行しているEMC技術の現状例と今後について述べた。そのキーワードとしては、「高周波設計」「寄生結合」「無線」「デジタル通信」「APDとBER」「アナログRF」「SI/PI/EMC」「集積回路のEMCマクロモデル」「EMCシミュレーション」「測定法」「自動車」「パワーエレクトロニクス」と多岐にわたる。すなわち、EMCはもはや測定・評価・対策の技術ではない。さらに、本稿では触れることはできなかったが、高周波電磁結合の制御のための材料や新技術・知財などを含め、EMCは総合技術の側面をますます強めている。

この多くの分野で、わが国は非常に高いレベルで世界を先導している。このアドバンテージを失わないため、さらに広い技術分野の連携・総合力の結集が期待される。

多分に独断的な内容になっているが、ご意見ご批判等いただきたいと思う。

参考文献

- 1) 和田修己 : EMC設計技術I - 電子回路と実装の基礎 - iNARTE EMC専門知識養成講座 第9巻 ((社)関西電子工業振興センター) (2009).
- 2) 後藤薫 他 : 無線妨害波の振幅確率分布測定とデジタル無線通信の保護 情報通信研究機構季報 52, No.1, pp.69-77 (2006).
- 3) T. Murakami, et al. : Evaluation of BER in Bluetooth wireless systems disturbed by radiated noise from spread spectrum clock systems. IEICE Trans. Commun. E89-B, No.10, pp.2897-2904 (2006).
- 4) K. Gotoh, et al. : APD measurement for the disturbance evaluation related to the performance of digital communication systems. IEICE Trans. Commun. E88-B, No.8, pp.3235-3241 (2005).
- 5) CISPR 16-1-1 am. 1, 2005, Specification for radio disturbance and immunity measuring apparatus and methods., Part 1-1 : Radio disturbance and immunity measuring apparatus and methods.
- 6) U. Paoletti, et al. : Importance and limitations of modeling parasitic capacitance between package and PCB for power bus noise and radiation. IEICE Trans. Commun. E92-B, No.6, pp.1937-1944 (2009).
- 7) S. B. Dhia, M. Ramdani, E. Sicard (Editors) : Electromagnetic compatibility of integrated circuits. Springer (2006).
- 8) M. Ramdani, et al. : The electromagnetic compatibility of integrated circuits -past, present, and future. IEEE Trans. EMC 51, No.1, pp.78-100 (2009).
- 9) Generic IC EMC Test Specification, Version 1.2 c 2004-2007, Bosch, Infineon, Siemens VDO (BISS).

プロフィール

和田修己(わだ おさみ)

1981	京都大学 工学部電気工学科卒業
1983	京都大学大学院 工学研究科電子工学専攻 修士課程修了
1987	京都大学大学院 工学研究科電子工学専攻 博士後期課程修了
1987	京都大学 工学博士
1988-1989	岡山大学 工学部電気電子工学科 助手
1989-1992	岡山大学 工学部電気電子工学科 講師
1992-2000	岡山大学 工学部電気電子工学科 助教授
2000-2001	岡山大学 工学部通信ネットワーク工学科 助教授
2001-2005	改組により 岡山大学大学院 自然科学研究科 助教授
2005-現在	京都大学大学院 工学研究科電気工学専攻 教授

専門技術分野 :

電気回路網学, 電磁波工学, 電子回路・集積回路の電磁環境適合設計 (EMC設計) およびシミュレーション