

セルフレギュレーションプラズマドーピングのフィン型FETへの応用

Conformal Doping for FinFETs by Self-Regulatory Plasma Doping

佐々木 雄一朗
Yuichiro Sasaki岡下 勝己
Katsumi Okashita水野 文二
Bunji Mizuno

要 旨

次世代の半導体デバイスとして期待されているフィン型FET (Field Effect Transistor) のエクステンション電極への不純物注入のために、セルフレギュレーションプラズマドーピング (SRPD: Self-Regulatory Plasma Doping) 法を開発した。従来のプラズマドーピング (PD: Plasma Doping) 法とは一部異なる原理を用いることで、高精度のプロセス制御性 (1 で1 %以下) と、プレーナ型FETからフィン型FETへの移行に必要とされるフィンへのコンフォーマルなドーピングを実現した。SRPD法の優位性を確認するために、金属/high-kゲートを備えたフィン型FET (pMOS FinFETs) に初めて適用した結果、イオン注入で試作したフィン型FETと比べて明確なショートチャネル特性の改善が認められた。

Abstract

A new Self-Regulatory Plasma Doping (SRPD) technique with B_2H_6 /Helium gas plasma has been successfully developed that provides conformal doping for fins. Manufacturing level of process controllability (<1 % per dose) for the new SRPD has been realized, and the advantages of the SRPD have been verified with FinFETs with metal/high-k gate stack for the first time. Short Channel Effect (SCE) improvement for FinFETs is clearly obtained.

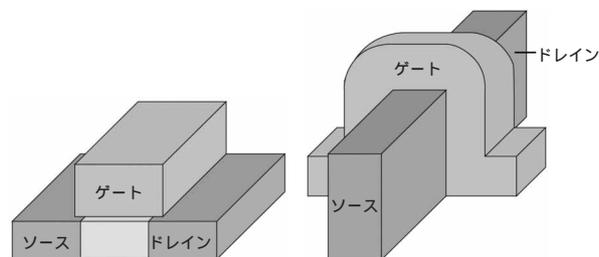
1. はじめに

米Bell電話研究所で真空管に代わる増幅器として Shockley, Bardeen, Brattainの3氏によって発見されたトランジスタ効果は、「抵抗, キャパシタなど, とにかくすべての部品を半導体で作る」というKilby氏の着想で集積回路に進化した。そして, 1959年に相次いで出願されたプレーナ集積回路 (Noyce氏) とプレーナ・プロセス (Hoerni氏)に関する特許^{1),2)}に沿った方向に発展してきた。その後, シリコン・ゲートの開発でプレーナ型MOS FET (Metal Oxide Semiconductor Field Effect Transistor) の信頼性が上がり, 1969年に256ビットのpチャンネル・デバイスが商品化されるに至った³⁾。プレーナ型MOS FETは, その後, 現在に至るまで半導体デバイス構造の主流である。

ところが今, 40年間に渡ってほとんど変わらず踏襲されてきたデバイスの構造を, チャンネルを立体化したフィン型MOS FETに大きく変えることが本気で議論されている (第1図参照)。これは, プレーナ型でこのまま微細化を進展させると, デバイスがオフ状態のときにソースとドレイン間を流れてしまうリーク電流と, デバイス個体間の特性ばらつきを制御できなくなってしまうからである。2008年12月に開催されたIEDM08 (半導体デバイスに関する最も権威ある国際会議の1つ) では, プレーナ型からフィン型への技術進化の方向を示す成果が相次いで報告された。最近のプレスインタビュー⁴⁾でも微細化を牽引 (けんいん) する米 Intel Corp. から, 22 nm世代への

プレーナ型FETの延命には「自信がある」ものの, それに続く「16 nmへの延命は難しい」という発言があり注目されている。フィン型FETなどの新構造を導入する必要があるが, フィン型FETは製造プロセスやデバイス特性の点で量産への課題を多く残している, というのが過不足のない表現だと思う。

本論文では, 半導体デバイスの歴史的転換点になるかもしれない今の時代の開発ニーズに合わせて, フィン型FET製造上の課題の1つであるエクステンション電極への不純物注入工程に関する課題に取り組んだ結果を報告する。



第1図 プレーナ型FETとフィン型FETの構造の比較

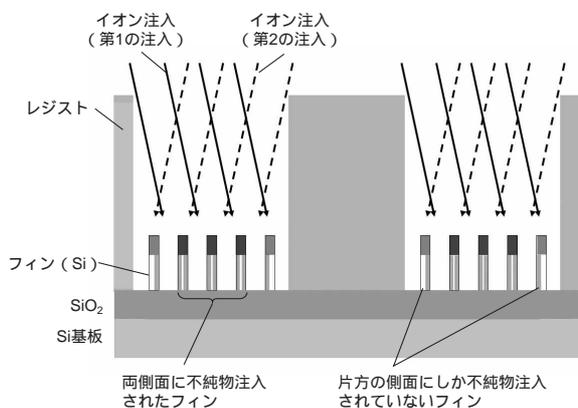
Fig. 1 Schematic of planar type FET and fin type FET, respectively

2. フィン型FET製造における注入工程の課題

フィン型FETのエクステンション電極を形成するためにフィンの上面と側面に対して不純物をコンフォーマルにドーピングする技術が求められている⁵⁾。しかるに、クラスターイオン注入⁶⁾を含めたイオン注入技術では、イオンの直進性のために、この要望を満足させるうえで大きな課題がある^{5), 7)}。

第2図は、従来のイオン注入法を用いた場合の不純物注入工程における断面図である。各フィンの上面だけでなく、側面の下部にまで不純物を導入する必要があるが、イオン注入法ではイオンを直線的にシリコン基板に照射するので、第2図のように、イオンがレジストに遮られてレジストの傍(そば)のフィンには片方の側面だけにしかイオンを打ち込むことができない。一方で、レジスト開口部の中央に位置するフィンには両側からイオンが打ち込まれる。これにより、レジストの傍のフィンへのドーズ量は、開口部の中央のフィンへのドーズ量の半分になってしまうので、フィン型FET間の V_{TSAT} 特性が大きくばらついてしまうという課題がある。この課題を避けるために、あえてレジストパターンの開口部を狭くして、イオンがフィンの左右のどちらか片側から1回だけしか注入されないようにすることで V_{TSAT} ばらつきを小さくする工夫が報告されている⁸⁾。しかし、オン電流の低下、レジストパターン形成の工程数の増加という副作用もあり、フィン型FETを集積化するうえでの大きな課題となっている。

このような課題を解決してコンフォーマルドーピングを実現するために、プラズマドーピング(PD)^{7), 9)-12)}やVapor Phase Deposition (VPD), Atomic Layer Doping (ALD)¹³⁾が提案されている。フィンの側面と上面の抵抗の比(側面の抵抗/上面の抵抗)で定義したコンフォーマル特性を比較すると、イオン注入での最善の値が2であ



第2図 FinFETs製造におけるイオン注入技術の課題

Fig. 2 Issue of resist shadowing with ion implant technology

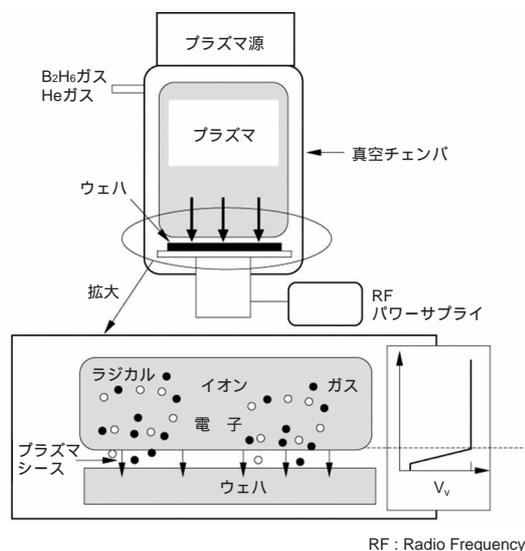
る⁷⁾のに対して、PDでは1.4⁷⁾、VPDとALDでは1.08¹³⁾という良好なコンフォーマル特性が得られている。しかし、これらのコンフォーマルドーピング技術はプロセス制御性の精度が低いという課題がある。さらに、PDにおいてはプロセス中にスパッタリングによってフィンが削れてしまうという課題が指摘されており、最も困難な課題とされていた¹³⁾。

3. SRPD技術の概要

以下では、イオン注入のコンフォーマル性の不足と、VPDとALDおよびPDのプロセス制御性の不足を克服したドーピング技術を提供するために開発したSRPD技術について報告する。SRPD法は、基本部分は従来のPD法を踏襲しているため、まず従来のPD法と同じ部分を説明し、次いでSRPD法の工夫点とその効果を説明する。

3.1 装置の概要

SRPD法で用いる装置は、従来のPD法と基本構成は同じである。すなわち、第3図に示すように真空チャンバにプラズマ源と基板ホルダを設置し、さらに基板ホルダにRF電圧を印加できるようにした真空装置を用いる。基板ホルダにシリコン基板を載せた後、 B_2H_6 とHeの混合ガスを真空チャンバ中に供給し、プラズマ源に電力を投入してプラズマを励起する。このとき、プラズマと基板の間のプラズマシースに電位差が発生する。この電位差の程度は基板ホルダに印加するRF電圧の大きさと制御可能である。この電位差でプラズマ中のボロンを含んだ



第3図 プラズマドーピング装置

Fig. 3 Plasma doping equipment

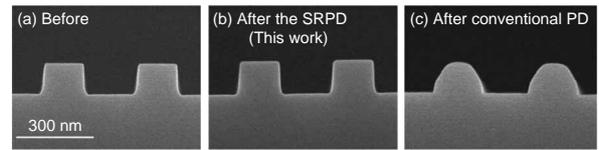
イオンを加速してシリコン基板中に注入する。それと同時に、プラズマ中にはボロンを含んだガスやラジカルが存在し、これらがプラズマ中で活性化されたシリコン基板の表面に吸着することでガスやラジカルの形態からもボロンがシリコン基板表面に導入される。これにより、低エネルギーのイオン注入プロセスとガス、ラジカルからの吸着プロセスを同時に利用できるため、イオン注入と比較して短時間で大量のボロンをシリコン基板に導入することが可能となり、高いスループットを実現できる。

ただし、従来のPD法では、金属汚染やパーティクルという汚染の問題が懸念されており¹⁴⁾、決定的な対策は確立されていなかった。これに対して、SRPD法ではプラズマに直接さらされる真空チャンバの内壁が汚染の発生源ではないかと考え、その対策として真空チャンバの内壁に独自の手法によるコーティングを施した。対策後の基板表面の金属汚染レベルは、ボロンを $2E15 \text{ cm}^{-2}$ も注入しているにもかかわらず、真空チャンバ内壁からの混入が懸念されるAlが約 $3E10 \text{ cm}^{-2}$ 以下という低い水準に抑えられている。ほかの金属の混入、基板の表面、および裏面のパーティクルも極めて少ない水準で安定しており、SRPD法においては、量産レベルの汚染レベルを信頼性良く維持することに成功している。

3.2 エロージョンの抑制

次にプロセスの改善について説明する。従来のPD法では、フィン形状のシリコンにプラズマを曝(さら)した場合、フィンの角が削れてしまうというエロージョンの問題が発生する。第4図の(a)は、試験用に用意したフィンの断面SEM (Scanning Electron Microscope) 像であり、フィンの角の曲率半径は約9 nmである。これに対して、(c)は従来のPD法でボロンを注入した後のフィンの断面である。この試験では、ボロンのドーズ量を $6E15 \text{ cm}^{-2}$ と極端に多く設定したのでわかりやすいと思うが、一見してフィンの角が削れてしまっている。実際のフィン型FETでは、ドーズ量はこの試験よりも少なく $5E14 \text{ cm}^{-2}$ から $3E15 \text{ cm}^{-2}$ 程度の範囲に設定する機会が多いので、フィンの削れ量は従来のPD法でも(c)ほどは大きくならないが、実際のフィン型FETのフィンの幅は5 nm ~ 20 nmともっと細いことを考えると、削れ量は5 nm以下が妥当であろうと推測される。したがって、従来のPD法では削れ量が許容量を大幅に超えてしまうことは明らかであった。

この問題は、プラズマを用いたことによる致命的な問題なのではないかと危惧された時期もあったが、SRPD法では、ある閾(しきい)値以下に圧力を低く設定することでこの問題を解決した。これは、エロージョンはプラズマ中の過剰なイオンがフィンに衝突することが原因で

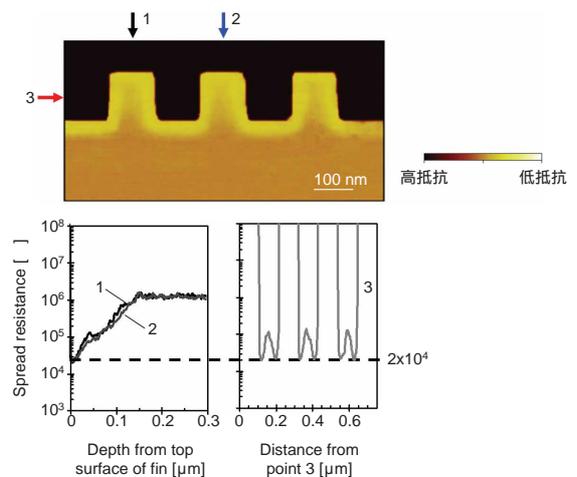


第4図 SRPD処理中にフィンのエロージョンが抑制されていることを説明する図

Fig. 4 SEM images; (a) before and (b) after SRPD process (this work), and (c) after conventional PD

発生してしまうのではないかと仮説を立案し、その対策として、従来のPD法ではあまり使われることがなかった低い圧力領域を用いることとしたSRPD法の特徴の1つである。第4図の(b)は、SRPD法を用いて(c)と同じドーズ量のボロンを注入した場合のフィンの断面である。フィンの角の曲率半径は(a)とほぼ同じであり、フィンの削れ量は十分に抑制されている¹⁵⁾。

第5図は、SRPD法とspike RTA (1000)を用いて得た2D Scanning Spreading Resistance Microscopy (SSRM) 像である¹⁵⁾。フィンの側面と上面の広がり抵抗に着目すると、両者は $2E4$ と測定誤差の範囲内で同じであった。第5図の上図の色の濃淡から同一の広がり抵抗となる深さをフィンの側面と上面について読み取ると、側面と上面の拡散深さの比は0.9 ~ 1.1であった。これらのことから、上面のシート抵抗を1とした場合の側面のシート抵抗は1.1以下であると結論される。これは極めて良好なコンフォーマル特性である。なお、第5図のライン1および2の



第5図 SRPD法を用いてボロンのコンフォーマルドーピングを実証したデータ

Fig. 5 SSRM measurement of fin structures that has been doped with SRPD process. R_s and X_j of top surface measured at other planar wafer are $1300 \text{ } / \text{sq.}$ and 18.9 nm, respectively.

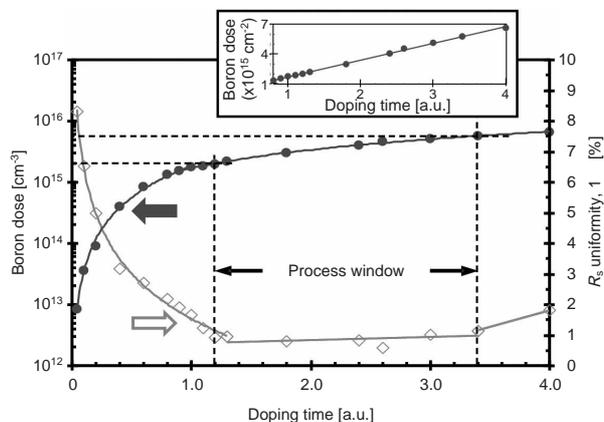
広がり抵抗の分布を参照すると、150 nm程度の深さまで広がり抵抗の低い領域が広がっているように見えるが、これは使用したSSRM測定の間解能が約20 nmと大きいことに因る。このため、フィンの中央部（たとえば、ライン1とライン3の交点付近）では、フィンの上面と両側面の表面部の広がり抵抗が低い領域の影響を受けて、広がり抵抗が実際よりも低く観測されてしまう傾向があり、広がり抵抗の低い領域が広がって見える要因となっている。このように、SSRM分析では広がり抵抗の分布を見ることはできるが、拡散深さ (X_j) を特定することはできない。そこで、フィンの上面の X_j を特定するために、第5図を取得した場合と同じプロセス条件を用いてベア基板を処理し、SIMS (Secondary Ion Mass Spectrometry) 分析を実施した。この結果から、 X_j は18.9 nmと特定した。なお、拡散深さは、ボロン濃度が $5E18 \text{ cm}^{-3}$ となる深さで定義した。

以上のことから、SRPD法を用いると、フィンの形状を保ったまま、1回の注入処理で、フィンの上面と両側面における20 nm以下の浅い領域にコンフォーマルにボロンを導入することが可能となるので、フィン型FETを集積化するうえで極めて有効と考えられる。

3.3 制御性の格段の進歩

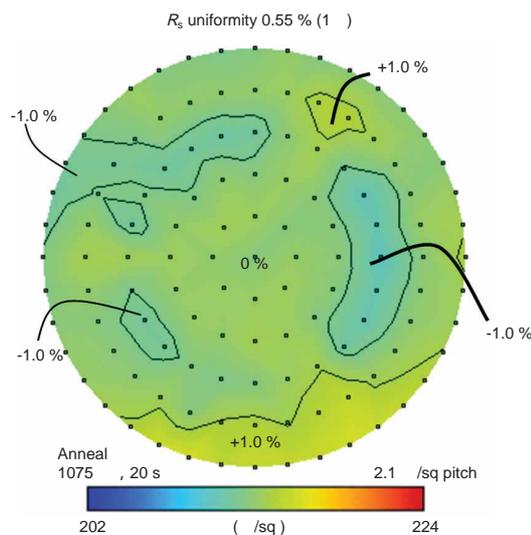
SRPD法では、前述のようなコンフォーマル特性を得られるプロセスレシピで、高精度のプロセス制御性を同時に実現している。

第6図は、ボロンのドーズ量と、アニール後のシート抵抗の基板面内均一性がドーピング時間に対してどのように変化するかを示した図である¹⁵⁾。ドーピング時間が1.2~3.4程度の範囲にSRPD法のプロセスウインドウを見出すことができる。第6図の右上に吹き出しの図で示したよ



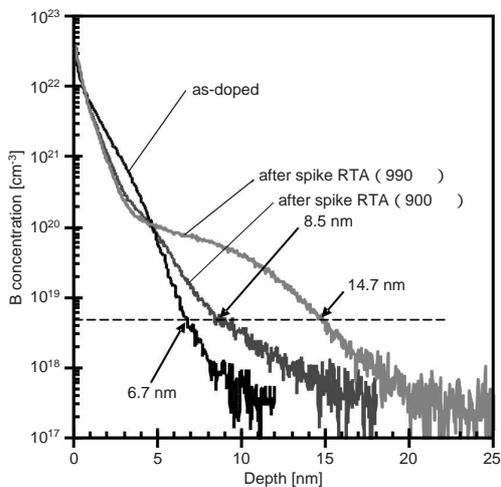
第6図 SRPD法のドーズ量制御性とシート抵抗の面内均一性
Fig. 6 Dose and within-wafer uniformity on R_s as function of time with SRPD process

うに、この時間範囲ではボロンのドーズ量はドーピング時間に比例する。この現象を見逃さずにうまく利用したことで、SRPD法ではドーピング時間を変えるだけでボロンのドーズ量を1%以内の高い精度で制御できるようになった¹⁶⁾。第7図は、プロセスウインドウの中央付近で得られるシート抵抗の基板面内分布の典型例である¹⁵⁾。シート抵抗の基板面内均一性は1で0.55%と極めて良好である(300 mm基板, エッジカット3 mmで評価)。第7図と同じプロセス条件を用いて約1万回に渡る長期間のシート抵抗の繰り返し再現性を調べた結果、シート抵抗の基板面内均一性を1.0%(1)以下に保ったままで基板面内再現性は0.83%(1)と極めて安定していることが確認できた。これらの数値はSRPD法がデバイスの量産に適用可能な安定性を有していることを示している。従来のPD法では、課題とされていたプロセス制御性¹⁴⁾をこれだけ高精度に改良できるようになったブレークスルーの要因は、第6図で示したように、ドーピングの初期であるドーピング時間が1.2より短い時間領域を避けて、ドーズ量が飽和に近づく長めの時間領域(1.2以降)をプロセスウインドウとして採用したところにある¹⁶⁾。これは、圧力だけでなく、ほかのプロセスパラメータも従来のPDとは異なる領域に設定することで成し得るSRPDに特有の方法である。この方法は、複雑な装置構成を必要とせず、物理現象を利用しているので信頼性が高いという利点がある。



第7図 SRPD法のシート抵抗の基板面内均一性
Fig. 7 Typical distribution map of R_s obtained in process window with SRPD process

第8図は、SRPD後とspike RTA (Rapid Thermal Annealing) 後のボロンのSIMSプロファイルである¹⁵⁾。SRPD法を用いて得た X_j - R_s 特性は、イオン注入の限界を超えており、同一 X_j では常に低い R_s が得られ、同一 R_s では常に浅い X_j が得られている¹⁵⁾が、これはspike RTA後のボロンのプロファイルが完全に箱型ではないにせよ、急峻なものに改善されたからである(第8図の990のプロファイル参照)。さらに、その原因は、SRPD後のプロファイルが浅く、高濃度で急峻な(第8図のas dopedのプロファイル参照)ためであり、SRPD後のプロファイルがspike RTA後に転写されたためである。



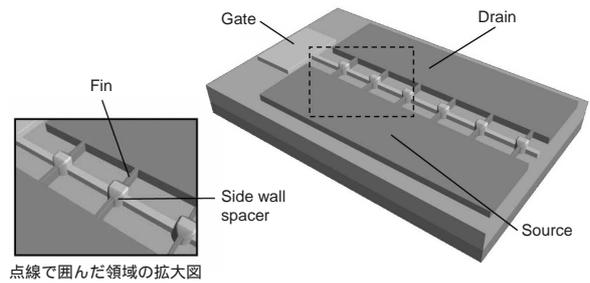
第8図 SRPD法を用いたボロンの注入プロファイル

Fig. 8 SIMS profiles before and after spike RTA process (900 or 990)

以上のように、SRPD法では、従来のPD法に工夫を加えることでイオン注入よりも高い生産性を維持しつつ、良好な汚染レベルとプロセス制御性を備え、イオン注入では困難とされるフィンへのボロンのコンフォーマルドーピングを実現した。

4. pMOS FinFETsへの適用例

第9図は、SRPD法を適用して試作したフィン型FETの模式図である。ソースとドレインが複数のフィンで接続されており、ソースとドレインの間にゲートがフィンを跨(また)ぐように形成されている。フィン上のゲートの両脇にはサイドウォールスペーサがあるが、サイドウォールスペーサはエクステンション電極を覆って保護するように形成されている。したがって、第9図のサイドウォールスペーサの下にSRPD法でボロンを注入したエクステンション電極がある。サイドウォールスペーサは、エクステンション電極にボロン注入した後に形成した。また、比



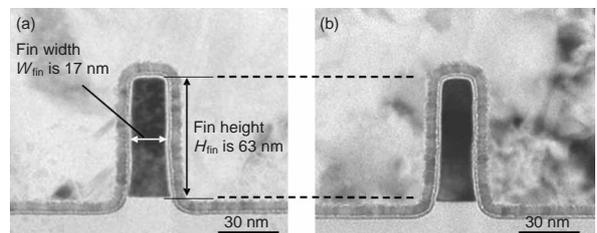
点線で囲んだ領域の拡大図

第9図 SRPD法を用いて試作したpMOS FinFETs

Fig. 9 Schematic of pMOS FinFETs

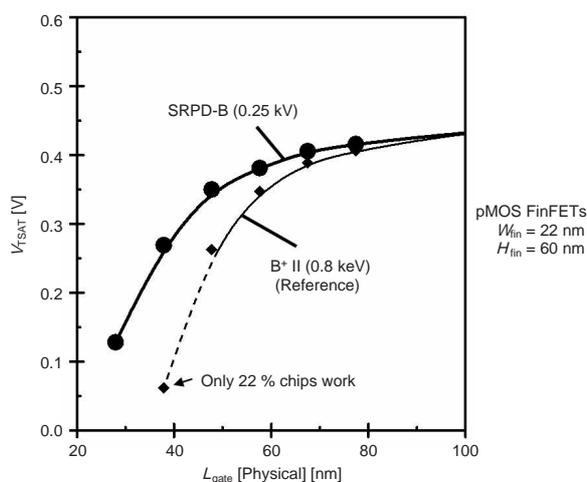
較のために、エクステンション電極への注入工程のみをSRPD法ではなく、イオン注入を用いてpMOS FinFETsを試作した。

第10図の(a)は、SRPD法を適用して試作したpMOS FinFETsのエクステンション電極の断面TEM像(ゲートの一部も含む)である¹⁵⁾。(b)にB+のイオン注入を用いた比較例を示した。両者を比較することで、幅が17 nmの極めて微細なフィンにSRPD法を適用した場合でもフィンの削れ量は極めて少なく抑制されていることが確認できた。次に、第11図を参照して、SRPD法を導入することでショートチャネル特性がイオン注入に比べて明確に改善することが確認された¹⁵⁾。この原因はSRPDの特徴であるコンフォーマルドーピングと、イオン注入では不可能と思われる水準にまで低エネルギー化した注入エネルギー(0.25 kV)によりドーピング時のチャネル方向への拡散が抑制されたことが寄与したのではないかと考えている。この結果は、デバイスがオフ状態のときにソースとドレイン間を流れてしまうリーク電流を制御できることを示している。



第10図 (a) SRPDと(b) B+イオン注入でそれぞれ試作したpMOS FinFETsのエクステンション領域のTEM像

Fig. 10 TEM image of 17 nm width/63 nm height fin fabricated with (a) SRPD and (b) B+ ion implant reference, respectively



第11図 SRPDとB+イオン注入でそれぞれ試作したpMOS FinFETsの V_{TSAT} -rolloff特性

Fig. 11 V_{TSAT} -rolloff characteristics of 28-100 nm gate length FinFETs

5. まとめ

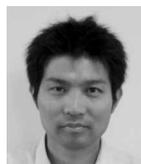
SRPD法は、従来のPD法とは一部異なる原理を用いることで従来のPD法では課題とされていたプロセス制御性を高精度化するとともに、フィン型FETへの移行に必要とされるフィンの上面と側面への均等なボロンのコンフォーマルドーピングを実現した。LSIとして量産できる技術レベルに達するには、実験室では明確化することが難しい解決すべき課題が存在するのが新技術の常であるが、今後それらの潜在的な課題を解決して、フィン型FETの量産で使っていただくことを通じて、半導体デバイスの進化と社会の発展に貢献できれば幸いである。

参考文献

- 1) Noyce, R. N. : U.S. Patent 2,981,877, filed July 30, 1959.
- 2) Hoerni, L. A. : U.S. Patent 3,025,589 and 3,064,167, filed May 1, 1959.
- 3) 西村吉雄 : IC誕生50年の歴史 - IC産業化に貢献した人と事象 日経マイクロデバイス特別編集版 pp.31-47 (2008年).
- 4) 日経マイクロデバイス 2009年2月号 pp.43-49.
- 5) N. Collaert, et al. : Integration challenges for multi-gate devices. Proc. of ICICT p.187 (2005).
- 6) K. Uejima, et al. : Pushing planar bulk CMOSFET scaling to its limit by ultimately shallow diffusion-less junction. IEDM Tech. Dig. pp.151-154 (2007).
- 7) D. Lenoble, et al. : Enhanced performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions. Symp. on VLSI Tech. Dig. pp.212-213 (2006).
- 8) H. Kawasaki, et al. : Demonstration of highly scaled FinFET SRAM cells with high-k/metal gate and investigation of characteristic variability for the 32 nm node and beyond. IEDM Tech. Dig. p.237 (2008).

- 9) Y. Sasaki, et al. : B_2H_6 plasma doping with "In-situ He pre-amorphization". Symp. on VLSI Tech. Dig. pp.180-181 (2004).
- 10) Y. Sasaki, et al. : New method of plasma doping with in-situ helium pre-amorphization. Nucl. Instr. and Meth. in Phys. Res. B 237, pp.41-45 (2005).
- 11) Y. Sasaki, et al. : Production-worthy USJ formation by self-regulatory plasma doping method. Proc. of 15th IIT, pp.524-527 (2006).
- 12) B. Dumont, et al. : Plasma doping for S/D extension: Device integration, gate oxide reliability and circuit demonstration. Proc. of ESSDERC, pp.113-116 (2005).
- 13) W. Vandervorst, et al. : Conformal doping of FINFETs: a fabrication and metrology challenge. Proc. of 17th IIT, p.449 (2008).
- 14) D. Lenoble, et al. : Advanced junction fabrication challenges at the 45nm node. SEMICONDUCTOR FABTECH-30th EDITION, pp.114-130 (2006).
- 15) Y. Sasaki, et al. : Conformal doping for FinFETs and precise controllable shallow doping for planar FET manufacturing by a novel B_2H_6 /helium self-regulatory plasma doping process. IEDM Tech. Dig. p.917 (2008).
- 16) Y. Sasaki, et al. : U. S. Patent 7,348,264. filed Apr. 30. 2007.

著者紹介



佐々木雄一朗 Yuichiro Sasaki
(株)ユー・ジェー・ティー・ラボ
Ultimate Junction Technologies Inc.



岡下勝己 Katsumi Okashita
(株)ユー・ジェー・ティー・ラボ
Ultimate Junction Technologies Inc.



水野文二 Bunji Mizuno
(株)ユー・ジェー・ティー・ラボ
Ultimate Junction Technologies Inc.

会社紹介

株式会社ユー・ジェー・ティー・ラボ

設立：2002年 社長：水野文二

事業内容：プラズマドーピング技術を核とした半導体の極浅接合プロセスの開発とコンサルティング
ビジョン：独自開発の極浅接合技術をデファクト化して、半導体のさらなる小型・高性能化へ貢献する。

URL : <http://psuf.panasonic.co.jp/ujt/company/>