

# 間欠制御技術を用いた45 nmプロセス 携帯電話用統合LSI

45 nm Single-Chip Application-and-Baseband Processor Using Intermittent Operation Technique

白 崎 基 泰  
Motoyasu Shirasaki

寶 積 雅 浩  
Masahiro Hoshaku

小 川 幸 生  
Sachio Ogawa

山 本 裕 雄  
Hiroo Yamamoto

有 村 拓 也  
Takuya Arimura

宮 崎 雄 策  
Yusaku Miyazaki

## 要 旨

間欠制御によるオーディオ処理と、電源遮断、VDD（電源電圧）制御、VBB（基板電圧）制御、VSS（ソース電圧）制御によるリーク電流抑制技術を、携帯電話用にアプリケーション処理、ベースバンド処理を統合したシステムLSIに適用した。本LSIは、45 nmプロセスを採用し、486 MHzアプリケーションプロセッサ、245 MHzベースバンドプロセッサを搭載、2.8億トランジスタ、25 MbitのSRAM（Static Random Access Memory）を集積している。オーディオ再生時のアプリケーションプロセッサの消費電力は9.6 mW、LSI全体の消費電力は15.3 mWである。

## Abstract

An intermittent operation technique is used to reduce the power consumption in audio playback. To reduce leakage current, four power-management mechanisms are utilized: Power-gating, VDD control, VBB control, and VSS control. The 486 MHz application processor and 245 MHz baseband processor utilize 280 M transistors and 25 Mbits SRAM (Static Random Access Memory) on an 8.05 × 8.18 mm<sup>2</sup> die in 45 nm CMOS (Complementary Metal Oxide Semiconductor). During audio playback, the application processor uses 9.6 mW, while total power consumption is 15.3 mW.

## 1. はじめに

近年の携帯電話は、WVGA（Wide Video Graphics Array）クラスの大画面液晶、高画素カメラを搭載し、ワンセグ、オーディオなどの視聴、ゲーム、あるいはWCDMA/GSM（Wideband Code Division Multiple Access/Global System for Mobile communication）をはじめ各種通信方式への対応など、多機能化、高機能化が急速に進んでいる。同時に端末の小型化、省電力化を実現するために、携帯電話に搭載されるシステムLSIは統合による高集積化、低消費電力化が不可欠となっている。

システムLSIは、3D（3 Dimensional）グラフィックスゲームやネットワークコンテンツ再生といった高負荷処理のための高性能プロセッサが必要である一方、待ち受けや音声通話、オーディオ再生などに代表される低負荷処理を、長時間、バッテリー動作させることが求められる。

今回、筆者らが開発したシステムLSIは、45 nmプロセスを採用し、3種類の閾値（しきいち）トランジスタを使用するとともに、CPU周波数を486 MHzまで向上させている。しかしながら、低閾値化によるサブスレッショルドリークの増加や微細化によるゲートリーク・接合リークの顕在化などにより、アプリケーションプロセッサは通常状態で14 mWものリーク電力を消費する。さらに、高速クロックを生成するためのPLL（Phase Locked Loop）やクロックジェネレータにより、アイドル状態でも25 mW

のクロック電力を消費する。これらの処理量に依存しない電力は、たとえばオーディオ再生時には消費電力の約90%を占めており、高性能プロセッサによる低負荷処理時の長時間動作を困難にしていた。

本稿では、高性能アプリケーションプロセッサにおいて低負荷処理時に長時間動作を実現するために、筆者らが適用した低消費電力化技術を中心に述べる。

## 2. システムLSI概要

開発したシステムLSIは、端末小型化に寄与すべく、ベースバンドプロセッサ（BP）とアプリケーションプロセッサ（AP）を45 nmプロセスの適用により1チップ化している。

アプリケーション機能としては、CPUにARM1176<sup>®</sup>（注1）を採用して高性能化を図りつつ、H.264、JPEG（Joint Photographic Experts Group）などの画像コーデック、3D/2D（2 Dimensional）グラフィック、オーディオ・ビデオ信号処理等を専用のエンジンによって実現している。一方、ベースバンド機能はHSPA（High Speed Packet Access）を含む複数の通信方式に対応している。

本システムLSIの諸元を第1表に、チップ写真を第1図に示す。

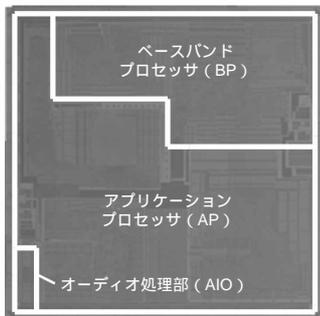
（注1）ARM および ARM1176 は、ARM Limited の登録商標あるいは商標

第1表 LSI諸元

Table 1 LSI features

アプリケーションCPU	ARM1176 <sup>R</sup> 486 MHz
ベースバンドCPU	ARM1156 <sup>R</sup> (注2) 245 MHz
メディア DSP	Dual Core DSP 216 MHz
アプリケーション機能	H.264/VC-1/MPEG-4 3D/2D Graphics ( 7 Mpoly/s ) 3D Surround Audio Audio/Video IO GPS On Chip Memory
ベースバンド機能	GSM/GPRS/EDGE WCDMA/HSPA
インターフェース	DDR I/F 162 MHz General Purpose Bus I/F Serial/Parallel Video I/F
プロセス	45 nm Triple-Vth
ダイサイズ	65.93 mm <sup>2</sup>
ハードウェア規模	280 M Tr 25 Mbit SRAM
電源電圧	Core 1.2 V/0.7 V IO 1.85 V/2.5 V/2.85 V

DSP : Digital Signal Processor      IO : Input-Output  
GPS : Global Positioning System      GPRS : General Packet Radio Service  
EDGE : Enhanced Data rates for Global Evolution  
DDR : Double Data Rate                  I/F : InterFace



第1図 LSIチップ写真

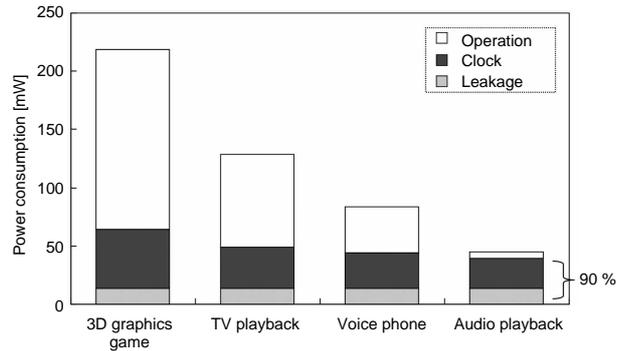
Fig. 1 Die micrograph

### 3. 低消費電力化技術

一例として、アプリケーションごとの低消費電力対策前の初期電力評価結果を、第2図に示す。

消費電力は、LSIの回路動作電力、クロック電力、およびリーク電力の総和となる。

高負荷であるほど消費電力は増加するが、リーク電力はアプリケーションシナリオによらず常に一定に消費される。特に低負荷処理であるオーディオ再生に関しては、全体の



第2図 アプリケーション電力消費

Fig. 2 Power consumption in applications

90%がシステムLSIのクロック，リーク電力に起因する。

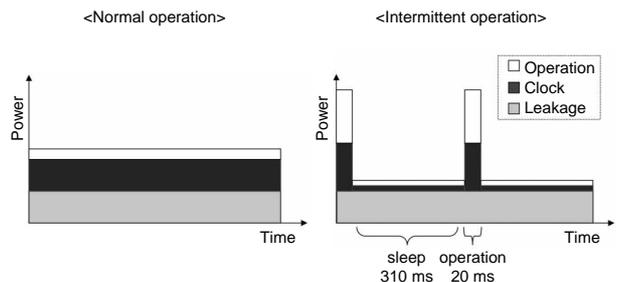
すなわち、低負荷処理時にはクロック，リーク電力を削減することができれば大幅な長時間動作が可能となる。そこで、筆者らは、以下に述べる間欠制御，リーク電流抑制技術により低消費電力化を図った。

#### 3.1 間欠制御

低負荷アプリケーションの低消費電力化手法としては、クロックゲーティングやクロック周波数のスケーリング制御がある。しかし、本LSIでは、オーディオ処理の更なる長時間再生を実現するために電力プロファイリングを行った結果、クロック生成部で定期的に消費されるクロック電力とリーク電力が課題であることがわかった。そこで、オーディオ再生制御アルゴリズムから再検討を行った。

オーディオデコード処理をブロック単位で超高速処理し、デコード後のPCM (Pulse Code Modulation) データを内部メモリーにバッファリングする。その後はPCMデータの再生に要する最小限の回路ブロックのみ動作させ、ストリーム処理やデコード処理、更にはPLLを含むクロック生成部を完全に止めるデータフローを実現することで、これまでにない低電力化が実現可能になった。

第3図に、間欠制御の基本的な考え方を示す。



第3図 間欠制御

Fig. 3 Intermittent operation

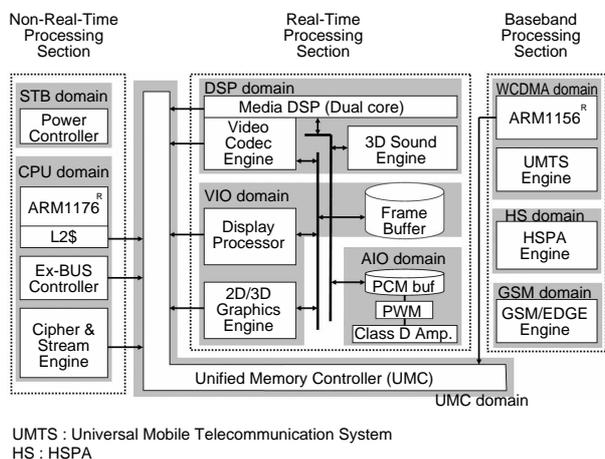
(注2) ARM1156 は、ARM Limited の登録商標あるいは商標

### 3.2 アーキテクチャ

本LSIのブロック図を、第4図に示す。AV処理を行うリアルタイムセクションと非リアルタイムセクションから構成されるAPと、BPをユニファイドメモリーコントローラ（UMC：Unified Memory Controller）により、外部DDRメモリー資源を共有する構成としている。さらに、リアルタイムセクションをメディアDSP部、ビデオ処理部（VIO）、オーディオ処理部（AIO）に分割した。とくに、間欠処理による低電力化のために、オーディオ処理部は、PCMバッファ、PWM（Pulse Width Modulation）コンバータ、D級アンプを実装している。

非リアルタイムセクションには、LSIのシステム制御を行うスタンバイドメイン（STB）部にパワーコントローラ（PWRC）を実装し電源制御を行うようにした。

LSI内部のクロックシステムは、各サブシステムへ個別にクロック供給、停止ができる構成とし、特にAIO部に供給するクロック制御部は、ほかのサブシステムが動作停止や内部電源が遮断されても影響の受けないように常時動作可能である。この結果、本アーキテクチャと間欠制御により44.1 kHzサンプリングAAC（Advanced Audio Coding）オーディオ再生時の動作電力を50%以上削減している。

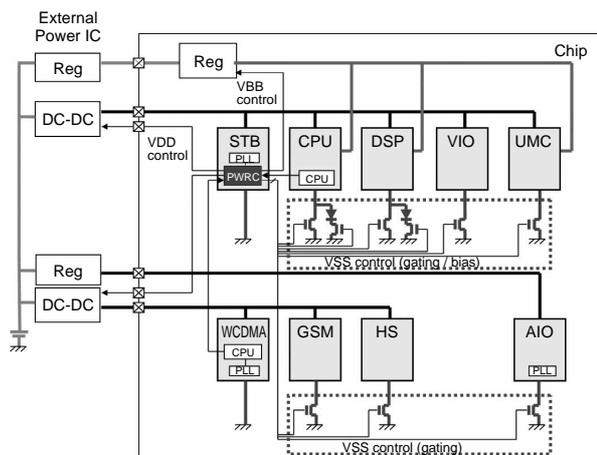


第4図 ブロック図  
Fig. 4 Block diagram

### 3.3 電源システムとリーク電流抑制技術

本LSIの電源システムを、第5図に示す。

動作電力の削減に加えて、非稼働時のリーク電流を抑制するために、LSI全体を9個の電源のドメインに分割した。常時電源が供給されるSTBドメインとWCDMAドメインを除く7つのドメインは、LSI内部に搭載したパワースイッチにより、動作シナリオに応じて非稼働の機能ブロックの電



第5図 電源システム図  
Fig. 5 Power system diagram

源を部分的に遮断可能になるように分割している。

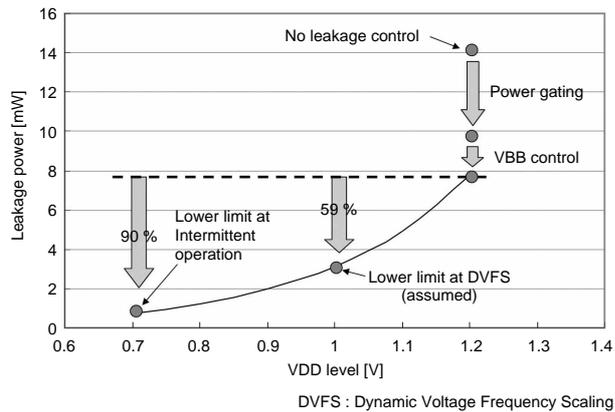
さらに、動作時には内部VDD電圧を通常の1.2 Vとし、待機状態時には外部DC-DCコンバータをPWRCによって制御することで降圧する、VDD制御を行っている。待機状態においてはクロック生成部が完全に停止するため、電源電圧はデータ保持下限である0.7 Vまで下げることが可能である。

外部DC-DCコンバータは、相互が非同期的に動作するAPと、WCDMA、GSM、HSPAといったBPでそれぞれ異なる電源供給システムとし、個別にVDD制御が可能となっている。

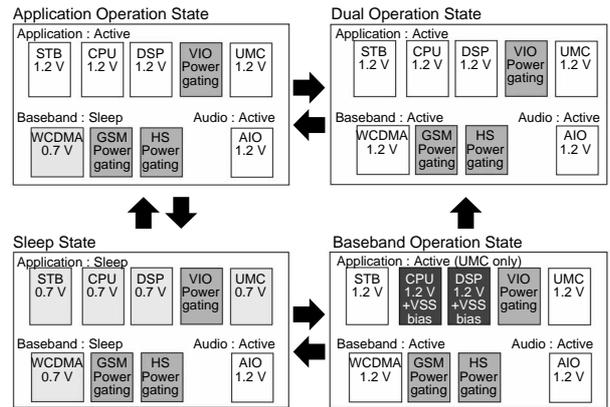
AIOドメインについては、AP部の他のドメインとは別系統の電源とし、常時1.2 Vを供給している。

これら電源遮断、VDD制御に加えて、オンチップレギュレータにより発生させた電圧を印加してトランジスタの基板電位を変化させるVBB制御技術により、リーク電流の抑制を図った。VBB制御によるリーク電流の抑制は、閾値の低いトランジスタに対し効果的であるため、制御対象は低閾値のトランジスタを多用する、CPUやDSPといった高速動作ドメインに適用している。

これらリーク電流対策の結果を、第6図に示す。通常動作時14 mWであったアプリケーション処理部のリーク電力が、すべての対策を実施することにより0.8 mWまで低減される。



第6図 リーク電力削減効果  
Fig. 6 Effect of leakage power reduction



第7図 電源状態遷移図  
Fig. 7 Power state diagram

### 3.4 ユニファイドアーキテクチャへの応用

前述の通り、本LSIは、APとBPがそれぞれ専用の外部DDRメモリーをもたない、ユニファイドアーキテクチャを実現している。メモリーを共通にすることにより、システムコストの削減を図ることが可能となった。

しかしながら、APとBPの個別電源制御を可能とする今回のようなシステムにおいては、共用のメモリーI/F (UMC) 部の電源制御を考慮する必要があるため、UMC部の電源を専用DC-DCコンバータから制御する方式、あるいはAP用DC-DCコンバータか、BP用DC-DCコンバータの電源系に統合する方式の検討を行った。UMC専用DC-DCコンバータは、システムコストの増大を招く。BPとUMCの同一電源化は、APとUMC間に異電源設計を考慮した非同期回路が必要となる。これに伴い高速なリアルタイム処理を必要とするAPのメモリーアクセスレイテンシが増加して性能劣化が深刻になる。以上から、UMCドメインの電源電圧供給源はAPと共通な構成とした。

### 3.5 パワーステート

アプリケーション処理と無線通信処理は、相互に無関係に動作する。筆者らは、LSIとしての複数の基本電源動作状態を定義し、電源状態遷移を行うことを可能にした。状態遷移は、PWRCがアプリケーションCPUとベースバンドCPUの動作状態に応じて制御するため、2つのCPUソフトウェアが互いの状態を相互監視する必要や、電源状態遷移のために複雑な通信を行う必要がない。

第7図に、基本電源状態遷移の一例を示す。

たとえば、アプリケーション処理と無線通信処理の同時動作時 (Dual Operation State) であっても、BPはその地域で使用しない無線通信規格に対応する回路の電源ドメインをカットする。また、APについても使用しない機能の電源ドメインをカットする。

そのほか、携帯電話の待ち受け時 (Sleep State) などでは、必要なデータだけを保持した状態で内部電源を0.7 Vまで下げる。その際、割り込みでSleep Stateから復帰させるのに要する最小限度の回路 (STB) が超低速で動作状態にある。

オーディオ再生時は、基本的にApplication Operation StateとSleep Stateの状態遷移を繰り返すことで、間欠制御によるスリープ時の電力を削減した。

### 3.6 VSS制御

オーディオ再生中は、上述の通り間欠制御を行うため、AP電源が頻繁に0.7 Vのスリープ状態に遷移する。

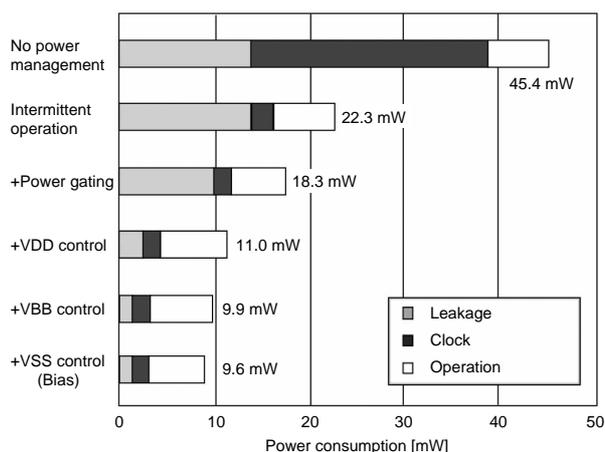
このAPが0.7 V時に、BPがBaseband Operation Stateに遷移すると、BPは外部メモリーへのアクセスに必要なUMCを動作させるために、UMCと共通電源であるAPを0.7 Vのスリープ状態から復帰させる必要がある。この場合APのオーディオ再生時の電力が増加してしまう。電力増加の主要因は、APを1.2 Vで待機させることによるリーク電流の増加である。そこで、APのVSS側を0.35 Vバイアス制御することによりリーク電流削減を図った。この制御によるトランジスタのリーク電流削減効果は、常温時に約44 %であることが評価結果から得られている。VSS制御は、オーディオ処理時にデータ保持が必要なCPUドメインおよびDSPドメインに適用しており、バイアス回路を追加することによるチップ面積の増加はわずか約0.3 %である。

本LSIに適用したVSS制御技術は、外部電源を増加させることなく、低コストで細粒度の電源制御を可能にする技術であるため、今後さまざまなアプリケーションへの応用が考えられる。

### 3.7 間欠制御とリーク制御の効果

間欠制御による動作電力の削減と電源遮断，VDD制御，VBB制御，VSS制御を組み合わせた結果として，AACオーディオ再生時の電力評価結果を，第8図に示す。

パワーマネージメントを行わない状態で，電力値は45.4 mWであったが，間欠制御により約50 %削減することができた。さらに，スリープ時のリーク電力削減により，最終的に79 %の電力を削減することができた。



第8図 44.1 kHz AACオーディオ再生時の電力値

Fig. 8 Measured power consumption in audio playback

## 4. まとめ

間欠電力制御技術は，AVメディアプロセッサにおける処理デッドラインのスケジューリング技術と，微細プロセスでのリーク電流マネージメント技術を組み合わせることで大きな効果が得られる。とくに，オーディオ処理のようなプロセッサ負荷の小さなアプリケーションでは，比較的容易に大きな効果が得られた。今後，インターネットからダウンロードしたリッチコンテンツの処理に向け，アプリケーションプロセッサの処理性能向上が顕著に求められる。これに伴い，デッドラインのスケジューリングがさまざまなアプリケーションでも適用可能となり，本手法での低消費電力化が期待できる。

### 参考文献

- 1) M. Sumita, et al. : Mixed body-bias techniques with fixed  $V_t$  and  $I_{ds}$  generation circuits. ISSCC Dig. Tech. Papers ,pp.158-159 (2004.2).
- 2) M. Nakajima, et al. : Instruction Parallel Processor (IPP) architecture on Panasonic integrated platform for digital CE. Spring Processor Forum (2005.5).

- 3) T. Luftner, et al. : A 90nm CMOS low-power GSM/EDGE multimedia-enhanced baseband processor with 380MHz ARM9 and mixed-signal extensions. ISSCC Dig. Tech. Papers ,pp.252-253 (2006.2).
- 4) M. Naruse, et al. : A 65nm single-chip application and dual-node baseband processor with partial clock activation and IP-MMU. ISSCC Dig. Tech. Papers ,pp.260-262 (2008.2).
- 5) G. Gammie, et al. : A 45nm baseband-and-multimedia application processor using adaptive body-bias and ultra-low-power techniques. ISSCC Dig. Tech. Papers ,pp.258-259 (2008.2).
- 6) M. Shirasaki, et al. : A 45nm single-chip application-and-baseband processor using an intermittent operation technique. ISSCC Dig. Tech. Papers ,pp.156-157 (2009.2).

### 著者紹介



白崎基泰 Motoyasu Shirasaki  
戦略半導体開発センター  
Strategic Semiconductor Development Center



寶積雅浩 Masahiro Hoshaku  
戦略半導体開発センター  
Strategic Semiconductor Development Center



小川幸生 Sachio Ogawa  
戦略半導体開発センター  
Strategic Semiconductor Development Center



山本裕雄 Hiroo Yamamoto  
戦略半導体開発センター  
Strategic Semiconductor Development Center



有村拓也 Takuya Arimura  
戦略半導体開発センター  
Strategic Semiconductor Development Center



宮崎雄策 Yusaku Miyazaki  
戦略半導体開発センター  
Strategic Semiconductor Development Center