

半導体技術と産業の課題と展望

慶應義塾大学 理工学部

教授 黒田 忠広



ムーアの法則の限界が議論されている。半導体の技術と産業が大きな課題に直面している。曲がり角に差し掛かった今、何を変えなければならないのか？ 本稿では、半導体技術と産業の来し方を振り返り、その行く末を展望する。

1 スケーリングとダウンサイジング

1973年。オイルショックを機に、鉄や油の消費は頭打ちになり、代わってシリコンの消費が急伸した。シリコンは、情報を処理するLSIや伝達する光ファイバの原料である。シリコン時代の幕開けである。

あれから35年。LSIはムーアの法則を指針に爆発的な成長を遂げた。デバイスの寸法は1/100になり、ウィルスよりも小さい。集積度は100万倍になり、最先端のメモリーチップは80億個のトランジスタを集積する。マイクロプロセッサのサイズは1/100になり、処理能力は10万倍になった。トランジスタの値段は100万分の1に安くなったが、トランジスタの出荷数が1億倍に増えたので、半導体産業は100倍大きくなり30兆円産業に成長した。

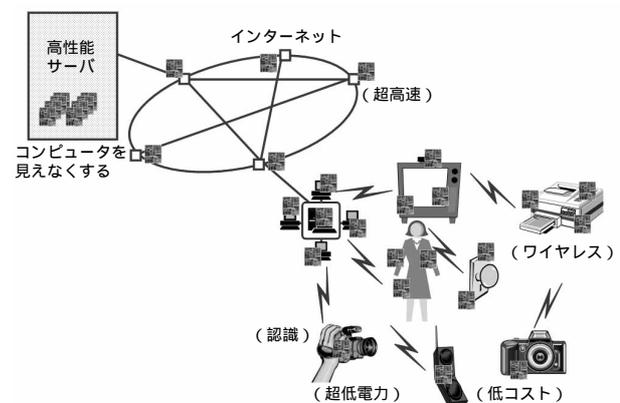
このように、半導体の技術と産業を発展させた指導原理は、“スケーリング（微細化）”である。スケーリングによって、回路性能は向上し、製造コストは安くなる。デバイスをスケーリングすると、容量 C と抵抗 R が小さくなって CR 時定数が小さくなるので、回路は高速に動作する。また、ウェハ口径を大きくして歩留まりを高くできれば、1枚のウェハから取れる良品チップの数を増やしてチップコストを下げることができる。そのために、リソグラフィやプロセスの技術進歩、デバイスや回路の工夫、ウェハの大口径化、製造技術の改善などが繰り返し行われてきた。

集積回路のスケーリングに伴って、システムは“ダウンサイジング（小型化）”してきた。寸法や重量のみならずコストも安くなり用途も身近になった。たとえば、60年代の大型コンピュータは、数億円の高価なもので国防に使われた。70年代になると、数千万円のミニコンが国立研究所で科学計算に使われた。80年代には、数百万円

のワークステーションが産業界でエンジニアリングに使われ、90年代には、数十万円のパソコンがオフィスの自動化に使われた。今日、数万円の携帯端末がわれわれの生活を便利にしている。

コンピュータと通信は、今後もダウンサイジングを続けるだろう。ポータブルからウェアラブル、インプラントとなり、われわれの生活空間に溶け込んでいくであろう（第1図）。ユビキタスという言葉は初めて使ったのはMark Weiserだと思うが、彼はユビキタスの意味を次のように述べている¹⁾。「*The most profound technologies are those that disappear. They weave themselves into the fabric of everyday life until they are indistinguishable from it.*」どこからでもネットワークにつないで必要なリソースや情報を活用できる。マルチメディアで豊かな表現を与え、ハプティクスで感じるができる。コンピュータと通信はデジタル家電と融合して日常に溶け込み、われわれの生活の質を高めてくれるだろう。

今後もスケーリングが続くと、将来どのような技術が手に入るのだろうか？ 夢を語る前に、スケーリングを困難にしている2つの壁について話さなければならない。



第1図 LSIから見たユビキタス情報化社会

LSIがあらゆるモノに埋め込まれてモノが考えモノが会話すると、どこにいてもコンピュータを快適に利用できるようになる。低電力、低コスト、ワイヤレス接続、認識などが重要な技術になる。

2 エコとエコノミー

スケールリングを困難にしている2つの壁がある。電力の増大と開発コストの増大である。すなわち、エコ（環境）とエコノミー（経済）の問題である。

2.1 電力の壁

マイクロプロセッサの最大消費電力は100 Wに近づいている。チップはおよそ1 cm角であるから、電力密度は100 W/cm²になる。これは調理用ホットプレートの約10倍の電力密度である。更にチップの冷却のための電力も必要になる。マイクロプロセッサの市場で80%のシェアを占めるインテル社は、この4年間に10億個のチップを累積出荷した。チップの平均消費電力を10 Wとすると、総消費電力は1000万kWに達する。東京電力の鹿島、大井、広野の3火力発電所を合わせても電力を供給し切れない。CO₂排出など環境への影響が懸念される。

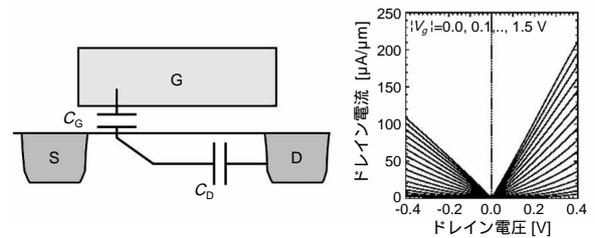
DRAM (Dynamic Random Access Memory) やフラッシュなどのメモリの消費電力は0.2 W程度であり、チップ面積はやはり1 cm²程度である。半導体シリコンウェハの需要は、毎年300万m²程度であるから、これらがすべてメモリだと仮定すると、総消費電力は600万kWになる。製造歩留まりや古いチップとの置き換えなどを考慮しても、毎年新たに世界最大級の火力発電所の建設が必要になることがわかる。CO₂を排出しない原子力発電に頼るならば、100万kW級の発電設備が6基必要になる。原子力発電所の発電密度は0.2 W/cm²程度である。たとえば、柏崎刈羽原子力発電所の場合、420万m²の敷地面積で820万kWの電力を発電している。いろいろな半導体チップの平均電力密度を0.2 W/cm²と仮定すると、世界中で使われているチップの総面積程度の敷地の原子力発電所が必要になる。

このように半導体集積回路の消費電力は、チップの設計を困難にしているとともに、地球環境を守るという観点、すなわちエコの観点からも大きな課題を抱えている。

では、なぜ電力は増大したのか？ その原因は、欲張ったスケールリングにあった。理想的なスケールリング、すなわち電界一定のスケールリングでは、電力は増大しなかったはずである。しかし80年代から90年代にかけて、動作速度を優先したスケールリング、すなわち電圧一定のスケールリングをした結果、電力は15年間で1000倍に増大した。電力が危険水域に達した後は電界一定のスケールリングに切り替えたが、既にデバイスは限界に近づいていた。デバイス内部の電界が高くなりすぎてキャリアが速度飽和し、電圧を下げてても電力が効果的に減らなくなった。しきい値電圧も低くなりすぎて、これ以上電圧を下げるのも困難になった。

さらに、トランジスタのリーク電流が急増した。トランジスタのゲート長が90 nmの世代では、ゲート酸化膜の厚さは1.2 nm程度、つまり分子4層分である。45 nm世代になると0.8 nm程度に薄くなり、ゲートに大きなトンネルリーク電流が流れる。ゲート酸化膜を薄くせずにトランジスタを微細化すると、ゲートのチャネル支配力が弱まり、ドレインとソースの間を抵抗のように電流が流れてしまう（第2図）。これは、ドレイン空乏層の容量結合でソース近傍の表面電位が上がり、しきい値電圧が下がるからである。

このように、スケールリングの副作用として電力が増大している。集積回路の指導原理であるスケールリングに大きな副作用が現れ始めたのであるから、その解決は容易ではない。



第2図 抵抗ようになる微細トランジスタ

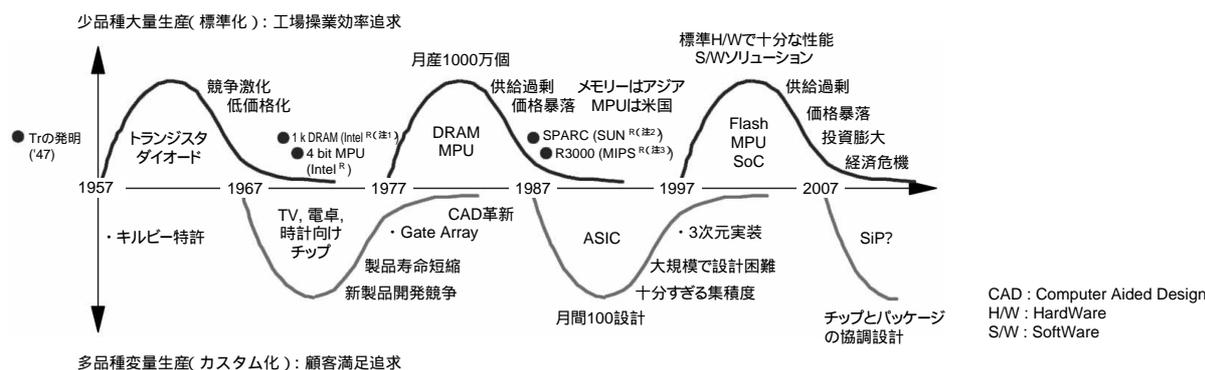
ゲート絶縁膜を薄くせずに (C_G を大きくせずに) トランジスタを微細化すると、ドレイン空乏層の容量結合 (C_D) が大きくなり、ゲートのチャネル支配力が弱まって、ドレインとソースの間を抵抗のように電流が流れる (右図)。

2.2 大量生産と多品種生産

一方、開発コストも急騰している。こちらはエコノミーの問題である。65 nm世代になると、マスクを作るだけで数億円する。複雑なチップを設計するために、設計者を大勢雇い、IP (Intellectual Property: 設計資産) を購入すると、10億円の開発費用が必要になる。20億円以上の売り上げが見込めないと、SoC (System on Chip) は経済的に成り立たない。また、12インチウェハの製造工場を作るために数10億円の投資が必要になり、事業経営の大きな負担になっている。

歴史を振り返ると、半導体ビジネスの主流は、汎用ICの大量生産の時代と特注 (カスタム) ICの多品種生産の時代を10年の周期で繰り返してきた (第3図)。1977年から1987年はDRAMの大量生産時代であり、1987年から1997年はASIC (特定用途向けIC) の多品種生産時代であり、1997年から2007年はMPU (マイクロプロセッサ) やフラッシュメモリの大量生産時代であった。

半導体製造メーカーにとっては、同じマスクを使って大量生産することで利益が生まれる。一方、半導体ユー



第3図 大量生産（標準化）指向と多品種生産（カスタム化）指向の波

工場操業効率の追求（標準品生産）と顧客満足（特注品生産）の間で、多様な技術開発と激しい競争が産業界に競争の波を起こす。周期は経験的に10年。画期的なデバイスの開発（図中 印）から10年近くの準備期間を経て大量生産の時代が幕開けする。その後の激化する競争に勝ち残った者が寡占市場を作り、競争の波は新たな方向を求め、設計や生産の革新的手法が特注品生産の採算レベルを押し上げて多品種生産の時代を開く。やがて3年で4倍の半導体の成長速度に開発が追いつかなくなり、競争の舞台は標準品生産へと戻る。

ザーにとっては、自分だけの特注ICを得ることで製品の競争力が生まれる。相反する要求の間で、激しい市場競争と技術革新が周期振動を引き起こしてきた。新しい市場で先行者が量産利益を出し始めると、その市場への参入者が急増して過当競争になり、価格低下を招いて利益を出せなくなる。最終的に体力消耗戦を勝ち抜いた者だけが市場を寡占する。一方、競争に敗れた者は、顧客要求を満足するカスタム設計技術を追究する。技術革新を引き起こした者が、多品種生産の時代の扉を開く。

1987年からのASICの時代を開いたのはEDA (Electronic Design Automation) 技術であった。トランジスタからゲート、論理へと設計の抽象レベルを高めることで、増大する設計の複雑さに対抗したのである。しかし、どんなに優れたアルゴリズムでも、せいぜい $n \cdot \log(n)$ のオーダーでしか問題を処理できない。10年で100倍という指数関数的な集積度の急増の前に、設計はやがて対応し切れなくなり、多品種開発の時代は終わる。

1997年から2007年の大量生産時代を経て、再び多品種生産時代を模索する時期が来た。カスタム化の方向としてSiP (System in Package) が期待されている。検証が難しいIPではなく、検証を済ませたチップをパッケージ内で集積して顧客専用のシステムを組み上げるアプローチである。半導体メーカーは汎用ビジネスのうまみを享受でき、ユーザーはカスタム化を追求できる。両者がWin-Winの関係を構築できる。SiPでは、回路、EDA、デバイスに加えて、実装技術も含めた総合デザイン力が求められる。SiPで新しい時代の扉を開こうとしたときに、100年に1度と言われる経済危機が産業界を直撃したのである。

2.3 それでも半導体産業は大きく発展する

技術的にも経済的にも、半導体が大きな壁に直面していることを述べた。しかし、半導体は誕生してから50年余りの新しい技術である。技術が十分に消化されて産業に生かされるには更に年月を要する。半導体は産業のコメと称されるように、電子機器への半導体装備率はこれからも高くなるだろう。電子機器産業の市場に対する半導体産業の市場は、現在のところ20%未満である。これが2030年頃には半分を占めるようになると予想されている。そのとき全産業に占める半導体市場の割合は3%になり、自動車産業に匹敵する市場規模になる。自動車の技術は、ムーアの法則のように急速に進化しない。半導体デバイスの微細化のペースがたとえ減速したとしても、半導体産業は成長を続けるだろう。これからのいよいよ黄金期といえる。

3 More MooreとMore than Moore

話を技術に戻そう。ムーアの法則の限界を超えるアプローチは2つある。1つはスケーリングの限界を少しでも先に延ばすこと。More Mooreである。Gordon Mooreが「No exponential is forever, but "forever" can be delayed.」と呼びかけたのがこれである。もう1つは新しい指導原理を模索すること。More than Mooreである。SiPによる3次元集積をSoCと対比して、More than Mooreだと考える人は多い。この2つのアプローチは、ちょうど1973年のオイルショック後にスタートしたエネルギー技術に関する2つの国家プロジェクトに似ている。1つは、省エネ技術を追究す

(注1) Intel Corporation の登録商標

(注2) Sun Microsystems, Inc. の登録商標

るムーアライト計画であり、More Mooreがこれに対応する。もう1つは代替エネルギーを追究するサンシャイン計画であり、More than Mooreがこれである。2つの取り組みが両方とも重要であることは言うまでもない。

3.1 More Moore

古くなって水漏れする蛇口があったらどうするか？ 材料を変えるか構造を変えるかであろう。リーク電流が流れるトランジスタも同じである。

高誘電率ゲート絶縁膜や金属ゲート電極などの新しい材料が研究されている。長年使ってきたシリコン酸化膜を捨てるわけだから大変革である。さらに、シリコン基板に応力を加えてキャリアの移動度を高める歪（ひずみ）シリコンの研究も盛んに行われている。トランジスタのオン電流を増やしてリーク電流の影響を緩和しようという狙いである。歪シリコン技術は、比較的小さいペナルティでオン電流を増大できるので、大きな期待が寄せられている。

もう1つのアプローチは、デバイスの構造を変えることである。リークの原因は、ゲートの支配力低下にあった。基板の深いところはゲートの支配が届かないのでリーク電流が流れやすい。基板をゲート長の1/3程度に薄くすれば、リーク電流を十分に抑えることができる。しかし、チャンネル長が短くなるほど、基板を薄く製造することが困難になる。そこで、チャンネルの回りにゲートの数を増やして、ダブルゲート、トリプルゲート、サラウンディングゲートにすることで、ゲートの支配力を増強するマルチゲートトランジスタの研究が行われている。そのためには、従来のプレーナ構造から立体構造に変える必要があり、これも大掛かりな構造改革である。

このように新材料と新構造を導入したポストスケーリング技術の研究が活発である。これらは一般にテクノロジーブースタと称される。テクノロジーブースタの効果は、技術導入時の一度きりしか享受できない。次々と新しいテクノロジーブースタを導入しないと、従来のトレンドを維持できない。しかし、世界中の英知と努力を結集すれば、スケーリングのトレンドは今後もある程度維持できるだろう。すでに5 nm世代のCMOS（Complementary Metal Oxide Semiconductor）デバイスの試作結果が学会で報告されている。これは2020年に量産を予定しているデバイス技術である。

3.2 More than Moore

集積の次元を2次元から3次元にしようという提案は以前からあった。しかし、ムーアの法則が成立している限り、3次元集積は割高であった。近年スケーリングが難し

くなり始めたことで、3次元集積が再び注目されている。

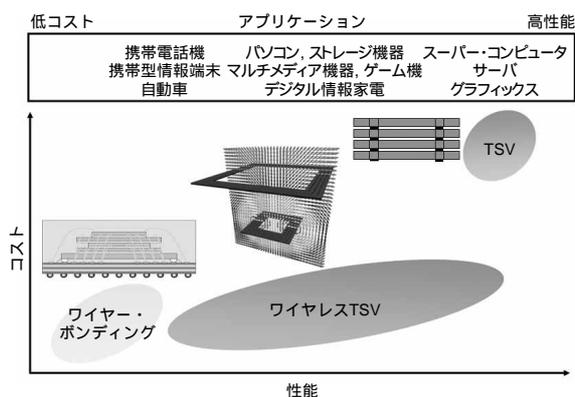
3次元実装技術を用いたSiPに期待が集まっている。すでに1つのパッケージに8枚程度のメモリーチップが積層実装されている。IEEEの技術専門家が2005年に発表した2010年の技術予測では、SiPが全盛となり、チップとパッケージの統合設計が標準手法になると予測されている。ちなみにこの予測では、ムーアの法則は終焉（しゅうえん）し、45 nm技術を使う商用チップは200件以下に減っている。つまり、時代はSoCからSiPに移るという予測である。

SiPでチップを積層したときの最大の課題は、チップ間の通信である。チップの処理能力は、年率70%高くなる。チップの処理能力を活用するためには、チップに出入りする信号を44%高速にしなければならない。チップの処理能力は、スケーリングで改善できる。トランジスタが毎年15%高速になり、集積度が毎年49%増える。これを回路とシステムが引き出せば、処理能力を年率70%改善することができる。しかし、入出力信号は、スケーリングでは28%しか高速化できない。トランジスタが15%高速になるのは同じであるが、チップの周辺に置かれた入出力回路の集積度は年率11%でしか増えないからである。そこで、通信を高速にする工夫がいろいろとされてきたのであるが、2000年頃からこれが限界に近づいている。2003年頃には実現していたはずの40 Gbit/sがまだ実現できていない。また、トランジスタを限界で使うために、入出力回路の電力が急増している。従来はチップ全体の10%程度であった入出力回路の電力が、最近では30%以上になる場合も少なくない。

チップが積層されたのだから、周辺だけでなくチップの面を使って通信したい。そこでTSV（貫通シリコンビア）が研究開発されてきた。チップの面を使って通信チャンネル数を増やせば、無理なく信号速度を上げることができる。しかし、TSVはチップの製造コストを20円以上高くするので、メモリーに採用できない。メモリーを使わないシステムはないので、TSVは使えないことになる。

TSVに代わって最近登場した技術が、ワイヤレスTSVである（第4図）。チップの多層配線を巻いた小さなコイル対の誘導結合を利用した無線接続技術である²⁾。標準CMOSデバイスとデジタル回路で実現できるので、追加コストをほぼゼロにできる。性能はTSVに引けを取らない。商用レベルのマイクロプロセッサに搭載して動作が確認されている。実用は近いであろう。まずはフラッシュメモリーやDRAMの積層に用いられ、次にプロセッサとメモリーの高速通信に用いられるであろう。

SiPの大きな魅力の1つは、異質な技術の集積である。特長あるデバイスとシリコンLSIを集積できる。今号のパナソニック技報に掲載される「45 nmベースバンドLSI」と



第4図 3次元集積のためのチップ間通信
誘導結合を用いたワイヤレスTSVは、積層実装されたチップ間を、TSV（貫通シリコンビア）のように高速で、ワイヤー・ボンディングのように低コストに接続できる。

「FeRAM（Ferroelectric Random Access Memory）」や「GaN（Gallium Nitride）パワーデバイス」が、「CAD」と「パッケージ」技術によって1つのパッケージに集積される日は、そう遠くはないだろう。

4 チェンジ

危機に直面したときに求められるのはチェンジである。これまで、高速と高集積と高機能を同時に追究してきた。どれかを変えると何かが生まれるだろうか？常識に捕らわれない柔軟な発想が求められる。

4.1 高速から低電力へ

この変化は2004年10月から既に始まっている。インテル社がペンティアム4の動作周波数を4 GHzに上げる計画を中止した。周波数を性能向上の最大の武器にしてきた同社の技術戦略が根本的に変わったとして世界中が注目した。それ以来、マルチコア、メニーコアを使い並列化で性能向上を図っている。並列にただ回路を遅く動かせるので、電源電圧を下げて低電力化できる。しかし、電源電圧が下がりしきい値電圧に近づくほど、製造ばらつきの影響が顕著に現れ性能を引き出せない。ばらつきを考慮した設計とばらつきを抑える製造が新たな課題になる。

4.2 高集積から軽薄短小へ

すでに十分な集積度が得られていると考えるならば、チップサイズを小さくすることを検討する時期かもしれない。チップサイズを小さくすれば、歩留まりも高くなり製造装置も安くなる。チップが小さくなれば、1枚のウェ

ハから作れるチップの数が増える。つまり大量の安価なチップを使って何をすることが問われる。世界には67億以上の人がいて、その周りには無数のモノがある。これらにチップを埋め込んで使うことになるのだろう。世界の富と人口の構造はピラミッド型である。年収が2万ドル以上の先進国人口は約6億人である。一方、年収が1500ドル以下の発展途上国人口は約40億人である。このピラミッドの最下位層がどのような新市場を形成するかが興味深い。そこでは従来売れた高性能、高機能な商品が売れるとは限らない。おそらく破壊的な低価格が求められるだろう。また、やがて数千個のチップが人の周りに存在するようになったとき、人はその存在に気づかぬままに無意識で利用するようになる。データも人手で入力したのではなくセンサが自動的に取得したものになるだろう。センサネットワークがこのトレンドの先に現れる予感はあるが、はたしてそれがどんなものになるのかはまだ描けていない。

4.3 高機能から低価格へ

ムーアの法則が成立していれば、5年後にはチップの性能が一桁以上高くなり、電子機器の買い替え需要を喚起できる。ムーアの法則が減速すれば、買い替え需要は減少する。高機能から低価格の方針を転換して、消費財としての応用を模索できないだろうか。家計の支出を見ると、衣食住や医療で多くの消費をしている。これらの経済活動の中でチップをどのように役立てるかを考えてみたい。

5 限界の向こうに夢

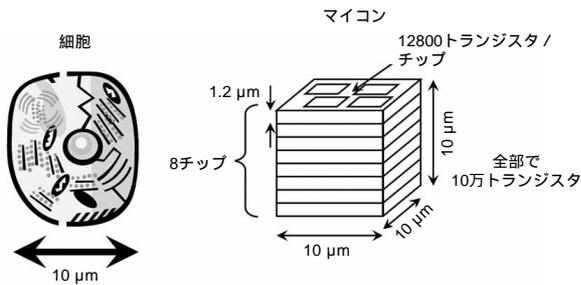
直面する壁を乗り越えると、その先にどのような夢が描けるのだろうか？

2016年には、22 nm技術を使って、手のひらサイズのスーパーコンピュータが実現できそうである（第5図）。IBM社のBlue Geneと比較すると、サイズは1/125の10 cm立方、電力は1/88の33 kW、処理能力は300倍の110 PFLOPSになる。1 cm立方の箱に水を満たし、樹脂で密封した128枚のチップをその中に浸す。チップは、誘導結合で電力供給を受けデータ通信をする。水がチップの間を巡回して放熱効率を高める。この箱を8×8×8重ねてスパコンを作る。箱は活線挿抜できる。ストレージユニットは、SSD（Solid State Drive）で作る。このスパコンをスーツケースに詰めれば、インフラが整わない発展途上国でも、データセンターを簡単に開設できる。

2025年には、8 nm技術を使って、細胞サイズの8ビットマイコンが実現できそうである³⁾（第6図）。10 μm角



第5図 2016年の手のひらに載るスパコン
コンピュータ開発の歴史はダウンサイジングである。サイズが小さくなることで高性能になる。2016年のコンピュータは手のひらに載るだろう。2006年のスパコンと比較すると、サイズは1/125の10 cm角、電力は1/88の33 kW、処理能力は300倍の110 PFLOPSになる。データセンターがスーツケースに収まる。最大の技術課題は給電と放熱である。



第6図 2025年の細胞サイズのマイコン
8ビットマイコンを10 μm立方（細胞サイズ）の中ので作ることができる³⁾。10 μm角のチップを8枚積層して、10万トランジスタを集積する。クロック周波数は数MHzで消費電力は0.1 μW未満になる。外部接続用パッドは大きすぎて使えないので、電源供給も信号通信もワイヤレスになる。

のチップを8枚積層すれば、10万トランジスタを集積できる。これを用いてナノスケールの医療用ロボットを制御したり、体に埋め込んで健康管理に役立てる。畑にまいて農作物の栽培管理に役立てたり、工場の中で食料を大量生産するのに役立てる。あるいは、環境に埋め込んで地球環境の保全に利用できる。半導体は産業のコメと言われてきたが、これからは社会の水や空気になるかもしれない。

立ちはだかる壁の向こうに夢を描くことが重要である。Robert Noiceは、イノベーションを生むためには楽観的であれと言った。「*Optimism is an essential ingredient for innovation. How else can the individual welcome change over security, adventure over staying in safe place?*」また、Alan Kayは、未来は自らの手で創ろうと言った。「*The best*

way to predict the future is to invent it.」未来を描く能力、それが今求められている。

参考文献

- 1) Mark Weiser : The computer for the 21st century. Scientific American 265, No.3, pp.94-104 (1991).
- 2) 黒田忠広：コストがほぼゼロの“無線TSV” まずはメモリーで実用化を狙う 日経マイクロデバイス4月号 pp.34-37 (2009).
- 3) 甲斐康司 他：2025年の半導体技術 誰が何を作るのか 日経マイクロデバイス特別編集版

《プロフィール》

黒田忠広（くろだただひろ）	
1982	東京大学 工学部卒業
1982-2000	(株) 東芝
1988-1990	カリフォルニア大学バークレイ校 客員研究員
1999	東京大学 工学博士
2000	慶應義塾大学 理工学部電子工学科 助教授
2006	カリフォルニア大学バークレイ校 客員教授
2002-現在	慶應義塾大学 理工学部電子工学科 教授

専門技術分野：VLSI回路設計

主な編書：

- RFマイクロエレクトロニクス（丸善，2002）
- アナログCMOS集積回路の設計（基礎編）（応用編）（演習編）（丸善，2003）
- デジタルシステム工学（基礎編）（応用編）（丸善，2003）
- LSI技術者のための親切的な電磁気学（丸善，2005）